

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-64994

(P2004-64994A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷
HO2M 3/137

F 1
HO2M 3/137

テーマコード(参考)
5H730

(21) 出願番号 特願2003-147151 (P2003-147151)
(22) 出願日 平成15年5月26日 (2003.5.26)
(31) 優先権主張番号 特願2002-167579 (P2002-167579)
(32) 優先日 平成14年6月7日 (2002.6.7)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(74) 代理人 100085811
弁理士 大日方 富雄
吉田 信一
(72) 発明者 東京都千代田区丸の内二丁目4番1号 株
式会社ルネサステクノロジ内
田澤 朋裕
(72) 発明者 東京都千代田区丸の内二丁目4番1号 株
式会社ルネサステクノロジ内
佐瀬 隆志
(72) 発明者 茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

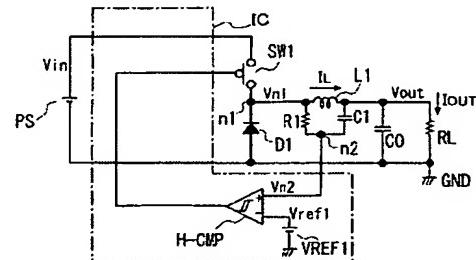
最終頁に続く

(54) 【発明の名称】スイッチング電源装置及びスイッチング電源システム

(57) 【要約】

【課題】出力電流の変化に対する応答特性に優れるとともに、電力損失を少なくすることができるヒステリシス・カレントモード制御方式のスイッチング電源装置を提供する。

【解決手段】ヒステリシス・カレントモード制御方式のスイッチング・レギュレータにおいて、コイルと直列に接続されるセンス抵抗なくし、代わりにコイル(L_1)と並列に直列形態の抵抗(R_1)と容量(C_1)を接続して、これらの抵抗と容量の接続ノード(n_2)の電位をヒステリシス特性を有するコンパレータ回路(H-CMP)に入力して基準電圧と比較することで、スイッチ(SW_1)をオン・オフ制御するように構成した。



【特許請求の範囲】

【請求項1】

インダクタに流す電流をスイッチング制御して所望の電圧を生成する電源装置であって、前記インダクタに流す電流を制御するスイッチ素子と、ヒステリシス特性を有する比較回路とを備え、直列形態で接続された抵抗素子と容量素子を持つ回路があり、上記回路と上記インダクタは並列に接続され、上記インダクタの電圧を上記コンデンサと上記抵抗により取り出して前記比較回路に入力し、第1のしきい値と第2のしきい値で弁別して前記スイッチ素子に信号を送り、負荷の変動に応じて前記インダクタに流す電流を変化させるよう構成されていることを特徴とするスイッチング電源装置。

【請求項2】

インダクタに流す電流をスイッチング制御して所望の電圧を生成する電源装置であって、前記インダクタに流す電流を制御するスイッチ素子と、ヒステリシス特性を有する比較回路と、前記インダクタと並列に互いに直列形態で接続された抵抗素子と容量素子を備え、前記抵抗素子と前記容量素子の接続ノードの電圧もしくは前記容量素子の一つももう一つの前記容量素子の接続ノードの電圧を前記比較回路に入力させ、第1のしきい値と第2のしきい値で弁別して前記スイッチ素子に信号を送り負荷の変動に応じて前記インダクタに流す電流を変化させるよう構成されていることを特徴とするスイッチング電源装置。

【請求項3】

前記比較回路は、第1の入力端子への入力電位と第2の入力端子への入力電位とを比較して高低に応じた信号を出力するコンパレータと、該コンパレータの一方の入力端子に入力される参照電圧のレベルを該コンパレータがヒステリシス特性を示すように切り替える切り替え手段とを有することを特徴とする請求項1または2に記載のスイッチング電源装置。

【請求項4】

前記切り替え手段は、基準電圧を複数の直列抵抗で分割する抵抗分割回路と、何れかの抵抗と並列に接続された第2のスイッチ素子とを備え、該第2スイッチ素子のオン、オフ状態に応じて前記コンパレータに入力される参照電圧のレベルが変更されるように構成されていることを特徴とする請求項3に記載のスイッチング電源装置。

【請求項5】

前記比較回路は、第1の入力端子への入力電位と第2の入力端子への入力電位とを比較して高低に応じた信号を出力する第1のコンパレータと、第3の入力端子への入力電位と第4の入力端子への入力電位とを比較して高低に応じた信号を出力する第2のコンパレータと、リセット入力端子とセット入力端子を有するRSフリップフロップ回路を備え、前記第2の入力端子に第1のしきい値電

圧を入力し、前記第4の入力端子に第2のしきい値電圧を入力し、前記第1及び第3の入力端子に取り出してきた上記インダクタの電圧若しくは上記接続ノードの電圧を入力し、前記第1のコンパレータの出力を前記RSフリップフロップ回路のリセット端子に入力し、前記第2のコンパレータの出力を前記RSフリップフロップ回路のセット端子に入力することにより、前記前記比較回路がヒステリシス特性を有することを特徴とする請求項1または2に記載のスイッチング電源装置。

10 【請求項6】

上記負荷に入力されるべき出力電圧を分圧する分圧手段と、該分圧手段により生成された電圧と基準となる電圧との電位差に応じた電圧を出力する差動アンプを備え、該差動アンプの出力と前記抵抗素子と容量素子の接続ノードの電圧を前記比較回路に入力して上記第1のしきい値と第2のしきい値で弁別するよう構成されていることを特徴とする請求項1または2に記載のスイッチング電源装置。

【請求項7】

20 前記抵抗素子と前記容量素子の接続ノードと固定電位端子との間に、第2の抵抗素子が接続されていることを特徴とする請求項1～6のいずれかに記載のスイッチング電源装置。

【請求項8】

前記抵抗素子と前記容量素子の接続ノードと固定電位端子との間、もしくは前記容量素子と直列接続された第2の容量素子の接続ノードと固定電位端子との間に、第3の容量素子が接続されていることを特徴とする請求項1～7のいずれかに記載のスイッチング電源装置。

30 【請求項9】

インダクタと、前記インダクタに流す電流を制御する第1のスイッチ素子と、電圧入力端子と電圧出力端子との間に前記インダクタと直列に接続された第2のスイッチ素子もしくは整流素子と、前記第1および第2のスイッチ素子を制御する制御回路と、第1の入力端子への入力電位と第2の入力端子への入力電位とを比較して高低に応じた信号を出力するコンパレータと、該コンパレータの一方の入力端子に入力される参照電圧のレベルを切り替える切り替え手段と、前記第2のスイッチ素子もしくは整流素子と並列に接続された直列形態の抵抗素子および容量素子を備え、前記抵抗素子と容量素子の接続ノードの電圧を前記比較回路に入力して第1のしきい値と第2のしきい値で弁別して前記制御回路に信号を送り負荷の変動に応じて前記インダクタに流す電流を変化させるよう構成されていることを特徴とするスイッチング電源装置。

40 【請求項10】

インダクタと、該インダクタに流す電流を制御するスイッチ素子と、該スイッチ素子を制御する制御回路と、第1の入力端子への入力電位と第2の入力端子への入力電

位とを比較して高低に応じた信号を出力するコンパレータと、該コンパレータの一方の入力端子に入力される参照電圧を生成する参照電圧生成回路と、前記スイッチ素子の制御信号もしくは前記スイッチ素子と前記インダクタとの接続ノードの電位と基準となるクロック信号の周波数差を検出する周波数差検出回路と、を備え、出力電圧に応じた電圧を前記比較回路に入力して第1のしきい値と第2のしきい値で弁別して前記制御回路に信号を送り負荷の変動に応じて前記インダクタに流す電流を変化させ、

前記参照電圧生成回路は前記周波数差検出回路により検出された周波数差に応じて生成する参照電圧を補正して、前記スイッチ素子のスイッチング周波数を前記基準クロック信号の周波数と一致させるように構成されていることを特徴とするスイッチング電源装置。

【請求項 1 1】

前記制御回路は前記スイッチ素子のオン時間とオフ時間の比を変えることにより前記インダクタに流す電流を変化させるように構成されていることを特徴とする請求項10に記載のスイッチング電源装置。

【請求項 1 2】

出力電流の変化期間を検出する監視回路を備え、出力電流の変化期間においては前記参照電圧生成回路が前記参照電圧の補正を行なわないように構成されていることを特徴とする請求項10または11に記載のスイッチング電源装置。

【請求項 1 3】

電池を電源として所望の直流レベルの電圧を生成する請求項10～12のいずれかに記載のスイッチング電源装置と、該スイッチング電源装置から出力される電流によって動作する制御用半導体集積回路とを備え、該制御用半導体集積回路の動作クロック信号が前記基準クロック信号として前記スイッチング電源装置へ供給されるように構成されていることを特徴とする携帯用電子機器。

【請求項 1 4】

インダクタを介してダイオードに流す電流を制御して所望の電圧を生成する電源装置であって、直列形態で接続された抵抗素子と第一容量素子を含む回路を備え、上記回路と上記ダイオードは並列に接続され、前記抵抗素子と前記第一容量素子の間の第一接続ノードの電圧を検出して該検出した電圧に基づいて制御することにより、負荷の変動に応じて前記ダイオードに流す電流を変化させないように構成されていることを特徴とする電源装置。

【請求項 1 5】

上記第一接続ノードと上記抵抗素子との間に第二容量素子を有することを特徴とする請求項14記載の電源装置。

【請求項 1 6】

上記ダイオードに流す電流をスイッチング制御して所望

の電圧を生成する電源装置であって、上記電源装置はスイッチング電源装置で、前記ダイオードに流す電流を制御するスイッチ素子と、ヒステリシス特性を有する比較回路とを備え、前記第二接続ノードの電圧を前記比較回路に入力し、第1のしきい値と第2のしきい値で弁別して前記スイッチ素子に信号を送り前記スイッチ素子を制御することを特徴とする請求項14記載の電源装置。

【請求項 1 7】

- 10 インダクタに流す電流を制御して所望の電圧を生成する電源装置であって、直列形態で接続された抵抗素子と第一容量素子を含む回路を備え、上記回路と上記インダクタは並列に接続され、前記抵抗素子と前記第一容量素子の間の第一接続ノードと上記抵抗素子との間に第二容量素子を備え、前記第一容量素子と前記第二容量素子との間の第二接続ノードの電圧を検出して該検出した電圧に基づいて制御することにより、負荷の変動に応じて前記インダクタに流す電流を変化させないように構成されていることを特徴とする電源装置。

【請求項 1 8】

- 上記電源装置は上記インダクタに流す電流をスイッチング制御して所望の電圧を生成するスイッチング電源装置で、前記インダクタに流す電流を制御するスイッチ素子と、ヒステリシス特性を有する比較回路とを備え、前記第二接続ノードの電圧を前記比較回路に入力し、第1のしきい値と第2のしきい値で弁別して前記スイッチ素子に信号を送り前記スイッチ素子を制御することを特徴とする請求項17記載の電源装置

【請求項 1 9】

- インダクタを介してスイッチに流す電流を制御して所望の電圧を生成する電源装置であって、直列形態で接続された抵抗素子と第一容量素子を含む回路を備え、上記回路と上記スイッチは並列に接続され、前記抵抗素子と前記第一容量素子の間の第一接続ノードの電圧を検出して該検出した電圧に基づいて制御することにより、負荷の変動に応じて前記スイッチに流す電流を変化させないように構成されていることを特徴とする電源装置。

- 40 【請求項 2 0】
上記第一接続ノードと上記抵抗素子との間に第二容量素子を有することを特徴とする請求項19記載の電源装置。

【請求項 2 1】

- 上記電源装置は上記スイッチに流す電流をスイッチング制御して所望の電圧を生成するスイッチング電源装置で、ヒステリシス特性を有する比較回路とを備え、前記第二接続ノードの電圧を前記比較回路に入力し、第

1のしきい値と第2のしきい値で弁別して前記スイッチに信号を送り前記スイッチを制御することを特徴とする請求項1記載の電源装置

【請求項2】

トランジストに流す電流を制御して所望の電圧を生成する電源装置であって、

直列形態で接続された抵抗素子と第一容量素子を含む回路を備え、上記回路と上記トランジストは並列に接続され、前記抵抗素子と前記第一容量素子との間の第一接続ノードの電圧を検出して該検出した電圧に基づいて制御することにより、負荷の変動に応じて前記トランジストに流す電流を変化させるように構成されていることを特徴とする電源装置。

【請求項2】

上記第一接続ノードと上記抵抗素子との間に第二容量素子を有することを特徴とする請求項2記載の電源装置。

【請求項2】

上記電源装置は上記トランジストに流す電流をスイッチング制御して所望の電圧を生成するスイッチング電源装置で、

前記トランジストに流す電流を制御するスイッチ素子と、ヒステリシス特性を有する比較回路とを備え、

前記第二接続ノードの電圧を前記比較回路に入力し、第1のしきい値と第2のしきい値で弁別して前記スイッチ素子に信号を送り前記スイッチ素子を制御することを特徴とする請求項2記載の電源装置

【請求項2】

前記スイッチ素子は相補型に制御される2つのスイッチで、同時にオンしないことを特徴とする請求項2記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直流電圧を発生する電源装置さらには出力電流変化に対して優れた過渡応答特性が要求されるスイッチング・レギュレータに適用して有効な技術に関し、例えば消費電流の変化が大きいシステムに搭載される電源装置に利用して有効な技術に関する。

【0002】

【従来の技術】

近年、電子機器にはシステム制御装置としてマイクロプロセッサが搭載されるものが多くなっている。また、マイクロプロセッサ（以下、CPUと称する）の動作周波数はますます高くなる傾向があり、動作周波数の増加に伴って最大動作電流も増大している。ところで、CPU内蔵した携帯電子機器等においては、バッテリ電圧をスイッチング・レギュレータで昇圧または降圧してCPUに動作電流を供給する方式が採用されることが多いが、バッテリの消耗を減らすためCPUの動作が必要でない

ときはCPU全体もしくはCPU内の一回路を停止することが行なわれる。そのため、CPUの消費電流の変化幅はCPUの最大動作電流の増大に伴って増加する傾向にある。そこで、CPUに動作電流を供給する電源装置として、出力電流変化に対する過渡応答特性に優れているものが要求されるようになって来ている。

【0003】

従来、過渡応答特性に優れているスイッチング・レギュレータとして、ヒステリシス・カレントモード制御方式と呼ばれるものが知られている（例えば米国特許第5,825,165）。

10

従来提案されているヒステリシス・カレントモード制御方式のスイッチング・レギュレータは、コイルと直列に接続されコイルに流れる電流を検出するためのカレント・センス抵抗と、出力電圧を抵抗分割回路で分圧した電圧（フィードバック電圧）と基準電圧との誤差電圧に比例した電流を出力するエラーランプとを有し、コイルとセンス抵抗との接続ノードとエラーランプの出力端子との間に接続された抵抗の値とエラーランプの出力電流との積で表わされるエラー電圧を、ヒステリシスを有するコンバレータで出力電圧と比較し、センス抵抗での電圧降下が「エラー電圧+ヒステリシス電圧」を上回ったらコイルに電流を流す主スイッチをオンからオフに切り替えると共に主スイッチに同期してコイルへ流す電流を減らすように作用する同期スイッチをオフからオンへ切り替える。また、センス抵抗での電圧降下がエラー電圧を下回ったら主スイッチをオフからオンへ切り替えると共に同期スイッチをオンからオフへ切り替えることによって出力電圧が一定になるように制御するものである。

20

【0004】

かかるヒステリシス・カレントモード制御方式のスイッチング・レギュレータは、出力電流が増加すると主スイッチのオン時間を長くし、出力電流が減少すると主スイッチのオン時間を短くして同期スイッチのオン時間を長くするようにフィードバックがかかるることによって出力電流の変化に素早く応答して出力電圧を一定にすることができる。

30

【0005】

【発明が解決しようとする課題】

しかしながら、従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータには、以下のようないくつかの課題がある。

40

第1に、コイルと直列に接続されたセンス抵抗を有するため、センス抵抗で無駄に消費される電力が多い。しかも、この電力損失はCPUの最大動作電流が大きくなるほど多くなるので、今後ますます電力効率を低下させる原因となる。また、この電力損失を減らすためセンス抵抗の値を小さくすることが考えられるが、センス抵抗の値を小さくしそうするとモニタ電圧がコンバレータのヒステリシス電圧を越えられなくなるため、スイッチング周

50

波数が定まらず出力電圧のリップルが大きくなるという不具合がある。

【0006】

第2に、出力電流の変化にエラーアンプの出力が追従しなければならないため、出力電流の変動に対する応答特性はエラーアンプが介在する分だけ遅くなってしまう。また、一般に、エラーアンプは発振を防止するための位相補償回路を必要とするので、位相補償回路を設ける分、回路規模が大きくなる。

【0007】

第3に、センス抵抗の抵抗値を R_{CS} とおくと、レギュレータのスイッチング周波数 f_{SW} は、

$$f_{SW} = V_{out} (V_{in} - V_{out}) \cdot R_{CS} / V_{in} \cdot V_{hys} \cdot L \dots (a)$$

で表わされる。式 (a) より、スイッチング周波数 f_{SW} はコイルのインダクタンス L に依存することが分かる。そのため、コイルの製造ばらつきや温度変動、直流電流重畠特性によってスイッチング周波数が変化し、通信機能やオーディオ再生機能を有する電子機器では電磁干渉によって可聴帯域にピートノイズを発生させるおそれがある。なお、直流電流重畠特性はコイルに流れる直流電流の大きさによってコイルのインダクタンスが変化する現象を意味する。

【0008】

第4に、コイルに流れる電流 I_L が少ないと場合にはエラーアンプの出力電流 I_{err} が無視できなくなり、上記式 (a) が成立する条件である $(I_L - I_{err}) \cdot R_{CS} \approx I_L R_{CS}$ が成り立たなくなってしまい、モニタ電圧がコンバレータのヒステリシス電圧を越えられないためスイッチング周波数が定まらなくなってしまうとともに、出力電圧のリップルが大きくなるという課題がある。

【0009】

この発明の目的は、電力損失の少ないヒステリシス・カレントモード制御方式のスイッチング電源装置を提供することにある。

この発明の他の目的は、出力電流の変化に対する応答特性に優れるとともに、発振を防止するための位相補償回路が不要となり回路規模を小さくすることができるヒステリシス・カレントモード制御方式のスイッチング電源装置を提供することにある。

この発明の他の目的は、スイッチング周波数がコイルのインダクタンスに依存しないつまり製造ばらつきの影響を受けにくいヒステリシス・カレントモード制御方式のスイッチング電源装置を提供することにある。

この発明のさらに他の目的は、スイッチング周波数がコイルに流れる電流の大きさに依存しないつまりコイルに流れる電流が少なくても安定した動作が可能なヒステリシス・カレントモード制御方式のスイッチング電源装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴について、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、ヒステリシス・カレントモード制御方式のスイッチング・レギュレータにおいて、コイルと直列に接続され出力電流の変化を検出するセンス抵抗をなくし、代わりに出力電圧の変化を検出する手段を設け、検出された電圧をヒステリシス特性を有する比較回路に入力して基準電圧と比較し、この比較回路によって、主スイッチと同期スイッチをオン・オフ制御するスイッチング制御回路へのフィードバック信号を生成させるように構成したものである。出力電圧の変化を検出する手段としては、コイルと並列に接続された直列形態の抵抗と容量を用い、これらの抵抗と容量の接続ノードの電位を比較回路に入力させる。

【0011】

上記した手段によれば、コイルと直列に接続されコイルに流れる電流が流されるセンス抵抗がないため電力損失を減らすことができる。また、エラーアンプが不要になるため、入力電圧の変化や出力電圧の変化に対する応答特性が向上するとともに位相補償回路を設ける必要がなくなりその分回路規模を小さくすることができる。さらに、スイッチング周波数がコイルのインダクタンスの製造バラツキや温度変動、コイルに流れる電流の大きさ等に依存しなくなって、出力電圧のリップルを小さくすることができる。

【0012】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの一実施例を示す。

この実施例のスイッチング・レギュレータは、電池などの直流電源PSから供給される直流電圧 V_{in} が入力される電圧入力端子 V_{IN} と接地点 (GND) の間に直列に接続されたMOSFETなどからなるスイッチSW1とダイオードD1と、該スイッチSW1と該ダイオードD1の中間ノードn1と出力端子 V_{OUT} との間に接続されたインダクタとしてのコイルL1と、出力端子 V_{OUT} と接地点との間に接続された平滑容量C0と、上記コイルL1と並列に接続された直列形態の抵抗R1および容量C1と、該抵抗R1および容量C1の接続ノードn2の電位 V_{n2} と基準電圧源 V_{REF1} からの基準電圧 V_{ref1} とを比較するヒステリシス・コンバレータH-CMPとを備え、該コンバレータH-CMPの出

力を上記スイッチ SW 1 のゲートに印加してオン、オフ制御するように構成されている。

【0013】

図1において、抵抗 R L として示されているのは、本実施例のスイッチング・レギュレータからの電圧の供給を受けて動作する C P U のような負荷としての半導体集積回路である。スイッチ SW 1 をオン、オフ動作されることにより、オン・オフ制御パルスのデューティ比に応じた電流がコイル L 1 より出力される。ここで、ヒステリシス・コンバレータ H-C M P は、非反転入力端子に入力されている電圧が反転入力端子に印加されている基準電圧よりも高い時はしきい値が低く見え、非反転入力端子に入力されている電圧が反転入力端子に印加されている基準電圧よりも低くなるとしきい値が所定の電位だけ高くなるように見えるコンバレータのことである。このような特性を有するコンバレータ回路は公知であるので、具体的な回路の例示と説明は省略するが、ここで用いるコンバレータは M O S F E T で構成された入力インピーダンスの高い回路を使用するのが望ましい。

【0014】

なお、図1において、一点鎖線で囲まれた部分は単結晶シリコンのような1個の半導体チップ上に半導体集積回路として構成される。つまり、コイル L 1 や容量 C 1 、抵抗 R 1 、スイッチ SW 1 、ダイオード D 1 は外付け素子として接続されている。これにより、精度の高いレギュレータを実現できる。

ただし、このような構成に限定されるものではなく、図2に示す本発明のスイッチング・レギュレータにおける第2の実施例のように、ダイオード D 1 の代わりにスイッチ SW 1 と相補的にオン、オフ動作するスイッチ SW 2 を用いても良い。ただし、この場合スイッチ SW 1 とスイッチ SW 2 が同時オンとなって電圧入力端子 V IN と接地点 G N D との間に大電流が流れないようにスイッチング制御回路 100 内の遅延回路 D E L A Y 1 , D E L A Y 2 等によりデッドバンドを設ける必要がある。

【0015】

SW 1 と SW 2 が相補的に動作して、貫通電流が流れないような構成であるのならば特に制限されないが、スイッチング制御回路としては図2の100のような構成になっている。その中のディレイ回路は、図15(a)のような入出力関係を持っていて、入ってきた L → H 入力に対し出力は遅れるが、入ってきた H → L 入力に対しては出力は遅れない。具体的なディレイ回路は図15(b)のような回路である。H 入力が i n に入って来たら、PMOS p 1 がオフ、NMOS n 1 がオンと成ることにより、GND に電流が引き抜かれる。この時に NMOS n 2 や PMOS p 2 の寄生容量にたまっていた電荷が、導電路と GND に接続されている容量 C がある導電路と抵抗 R を介して引き抜かれるために、容量 C と抵抗 R の時定数による遅延により out の H の遷移が遅れる

原因になる。それに対して L 入力が i n に入って来たら、抵抗 R を介して電流が流れないとためにそのようなことは起こらない。

【0016】

なおスイッチ SW 1 , SW 2 (もしくはダイオード D 1) を I C チップ内部に取り込んだり、コイル L 1 と並列の容量 C 1 、抵抗 R 1 を I C チップ内部に取り込むようにも良く、これらの素子を I C チップ内部に取り込むことにより電源装置の部品点数を減らし小型化を図ることができる。スイッチ SW 1 , SW 2 (もしくはダイオード D 1) は出力電流が大きいシステムに使用される電源装置では比較的大きな電流を流す必要があるため外付け素子で構成することが望ましいが、出力電流が小さいシステムに使用される電源装置ではチップ上に形成された素子を使用することができる。

【0017】

次に、上記第2の実施例のスイッチング・レギュレータの具体的な動作を、図3のタイミングチャートを用いて説明する。

20 実施例のスイッチング・レギュレータは、抵抗 R 1 と容量 C 1 との接続ノード n 2 の電位 V n 2 がヒステリシス・コンバレータ H-C M P に入力されている基準電圧 V ref より下がるとコンバレータの出力が反転する。すると、コイル L 1 に電流を流し込むスイッチ SW 1 がスイッチング制御回路 100 によってオフ状態からオン状態に切り替えられ、これに同期してコイル L 1 に流す電流を減らすように作用するスイッチ SW 2 がオン状態からオフ状態に切り替えられる。これにより、スイッチ SW 1 を介して電源端子 V in からコイル L 1 へ電流が流逝し込まれるようになる。このとき、容量 C 1 は抵抗 R 1 を介して充電され、接続ノード n 2 の電位 V n 2 が次第に高くなる。

【0018】

また、ヒステリシス・コンバレータ H-C M P は、そのヒステリシス電圧を V hys とおくと、接続ノード n 2 の電位 V n 2 が V ref + V hys より高くなると出力が反転する。すると、スイッチング制御回路 100 によりスイッチ SW 1 がオン状態からオフ状態に、またこれに同期してスイッチ SW 2 がオフ状態からオン状態にそれぞれ切り替えられる。これにより、スイッチ SW 2 によってコイル L 1 に流れる電流が減らされるようになる。このとき、容量 C 1 は抵抗 R 1 を介して放電され、接続ノード n 2 の電位 V n 2 は次第に低くなる。

【0019】

上記のような動作を繰り返すことにより、コイル L 1 に流れる電流 i L は、図3(A)のように三角波状に変化する。コイル電流 i L の増加する期間、減少する期間においてのそれぞれの時間的な変化量は、コイル L 1 のインダクタンスを L とすると、増加する期間では $(V_{in} - V_{out}) / L$ であり、減少する期間では V_{out} / L

lである。それに対して抵抗R1の抵抗値をRとすると、C1の電荷を充放電するために流れる電流をIcとすると増加する期間では $I_c = (V_{in} - V_{out}) / R$ であり、減少する期間では $I_c = V_{out} / R$ である。よって抵抗R1はlの変化量をリニアにノードn2に伝えるために用いられる。

【0020】

これにより、出力電流Ioutが一定である定常状態(図3のT1, T3, T5の期間)では、コイルL1にはほぼ安定した電流ILが流される。このときレギュレータの出力電圧Voutは、スイッチSW1をオン・オフ制御する信号のデューティ比ton/(ton+toff)をNとすると、 $V_{out} = N \cdot V_{in}$ で表わされる。ここで、tonはスイッチのオン期間、toffはオフ期間である。なお、上記スイッチSW1およびSW2を切り替える際には、図3(D), (E)のようにそれぞれ所定のデッドバンドを設けて2つのスイッチが同時にオン状態にされて貫通電流が流れるのを回避するような制御が行なわれる。

【0021】

出力電流Ioutが増加する遷移状態(T2)においては、出力電圧Voutが急に下がるのに応じてその電位変化が容量C1を介して接続ノードn2に伝わり、その電位Vn2が図3(B)のように急激に下がることによって、スイッチSW1をオンさせる時間(SW2のオフ時間)を図3(D)のように延長させる。また、出力電流Ioutが減少する遷移状態(T4)においては、出力電圧Voutが急に上がるのに応じて接続ノードn2の電位Vn2が上がることによって、図3(D)のようにスイッチSW1をオフさせる時間を延長させるように動作する。

【0022】

なお、図3には示されていないが、コイルの電流ILが減少しているときに出力電流Ioutが増加する遷移状態(T2)に入るとスイッチSW1をオフさせる時間(SW2のオン時間)を短縮させ、コイルの電流ILが増加しているときに出力電流Ioutが減少する遷移状態(T4)に入るとスイッチSW1をオンさせる時間を延長するように動作する。

【0023】

従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータは、エラーアンプを介して出力電圧の変化がヒステリシス・コンパレータにフィードバックされていたが、本実施例においては、上記のように出力電圧の変化が容量C1を介してヒステリシス・コンパレータH-CMPに直ちに伝わるために、出力電流Ioutの変化に対する応答特性が向上される。しかも、容量C1を介して入力インピーダンスの高いコンパレータH-CMPに出力の変化を伝える構成であるため、出力電圧に対する影響も少ない。また、入力電圧Vinの変化

も抵抗R1を介して接続ノードn2に伝わり、ヒステリシス・コンパレータにフィードバックされるため、入力電圧の変化に対するレギュレータの応答も速くなる。

【0024】

本実施例のスイッチング・レギュレータのスイッチング周波数fswは次式

$$f_{sw} = V_{out} (V_{in} - V_{out}) / V_{in} \cdot V_h \\ y_s \cdot R_1 \cdot C_1 \dots (b)$$

で表わされる。この式より、本実施例のレギュレータのスイッチング周波数fswは抵抗R1と容量C1の値に依存するが、コイルL1のインダクタンスに依存しないことが分かる。抵抗素子はコイルに比べて製造バラツキの小さなものが手に入り易い上、容量素子は製造バラツキがコイルと同程度であるが温度特性の小さなものがコイルに比べて安価に手に入る。また、スイッチング周波数を表わす式(b)内にコイルのインダクタンス値がないため、流れる電流によってインダクタンス値が変化する直流電流重畠特性というコイル特有の問題を考慮する必要がない。そのため、従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータに比べてスイッチング周波数fswの変動を少なくすることができる。

【0025】

さらに、本実施例のスイッチング・レギュレータは、コイルと直列に接続されるセンス抵抗が不要である。本実施例においても抵抗を使用しているが容量と直列に接続されており、直流電流のバスがない。そのため、従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータに比べて電力損失を減らすことができる。また、エラーアンプが不要になるため、応答特性が向上するとともに位相補償回路を設ける必要がなくなりその分回路規模を小さくすることができる。

【0026】

図4aは、本発明のスイッチング・レギュレータの第3の実施例を示す。

本実施例は、第2の実施例におけるヒステリシスを有するコンパレータH-CMPの代わりに、通常のコンパレータCMPを用いるとともにこのコンパレータに入力される参照電圧VHYSを切り替えるようにしたものである。具体的には、基準電圧源VREF1と、該基準電圧源VREF1で生成された基準電圧Vref1を分圧する直列抵抗R6, R7, R8および抵抗R8と並列に設けられたスイッチSW3からなる抵抗分割回路121とからなる参照電圧生成回路120を設け、抵抗R6とR7の接続ノードn3の電位を参照電圧VHYSとしてコンパレータCMPの反転入力端子に印加するように構成し、上記スイッチSW3をコンパレータCMPの出力で切り替えて参照電圧VHYSを変化させることによって、コンパレータCMPが見かけ上ヒステリシス特性を有するようにしたものである。

【0027】

図4 bにコンパレータCMPの反転入力端子に印加される参照電圧VHYSとノードn2の電位Vn2の関係が示されている。図4 aの回路は、ノードn2の電位Vn2が参照電圧VHYSよりも高い時はスイッチSW3をオンさせて参照電圧VHYSを下げ、ノードn2の電位Vn2が参照電圧VHYSよりも低い時はスイッチSW3をオフさせて参照電圧VHYSを上げるように動作される。

この実施例では、スイッチSW3をオンさせて抵抗R6とR7の比で基準電圧Vref1を抵抗分割した電圧と、スイッチSW3をオフさせて抵抗R6と抵抗R7、R8の和との比R6/(R7+R8)で基準電圧Vref1を抵抗分割した電圧との差が、第1、2の実施例におけるコンパレータH-CMPのヒステリシス電圧Vhysと同一となるように設計すれば、第1、2の実施例のレギュレータと全く同じように動作させることができる。なお、この実施例では、スイッチSW3をコンパレータCMPの出力で制御して参照電圧VHYSを切り替えるようにしているが、スイッチSW1とSW2の接続ノードn1の電位を反転するインバータを設けてこのインバータの出力でスイッチSW3をオン・オフさせても同様の動作をさせることができる。

【0028】

図4 cは、本発明のスイッチング・レギュレータの第4の実施例を示す。

本実施例は、通常のコンパレータを2個用いてヒステリシス特性を持たせたタイプである。具体的には、コンパレータCMP1、2の非反転入力端子にノードn2の電位を入力し、コンパレータCMP1の非反転入力端子に基準電圧源VREF1で生成された基準電圧Vref1

を入力し、コンパレータCMP2の非反転入力端子に基準電圧Vref1を直列抵抗R8、R9で分圧した電圧Vref1-VHYSを入力し、コンパレータCMP1の出力を反転したものとRSフリップフロップ回路103のリセット端子に入力し、コンパレータCMP2の出力をRSフリップフロップ回路103のセット端子に入力することによってヒステリシス特性を有するようにしたものであり、この実施例では、ノードn2の電圧がVref1より高くなるとスイッチSW1がオン状態からオフ状態になり、これに同期してスイッチSW2がオフ状態からオン状態にそれぞれ切り替えられる。また抵抗R8の両端に生ずる電圧がヒステリシス電圧Vhysとなり、接続ノードn2の電位Vn2がVref1-VHYSより低くなるとそれぞれのスイッチが反転するので第1、2、3の実施例のレギュレータと同じように動作させることができる。

【0029】

図5 AはCRフィードバック・ヒステリシス制御回路を示すある一つの実施例の回路構成図である。コイル(L1)に流れる電流(IL)に比例した電圧をCR直列回路をコイルの両端に並列に接続することで検出している。しかし、図3に示すようにコイルには寄生抵抗(Rdcr)が存在し、この寄生抵抗により発生する電圧降下分(IL·Rdcr)もフィードバック信号として検出している。LSIが必要とする電流の増加に伴い寄生抵抗による電圧降下も比例して大きくなる傾向にある。従来のCRフィードバックヒステリシス制御回路では、フィードバック電圧(Vfb1)は次式(1)で表される。

30 【0030】

【数1】

$$\begin{aligned} V_{fb1} &= V_{out} + V_{cf3} = V_{out} + R_{dcr} \left\{ \frac{1+s \cdot (L_1/R_{dcr})}{1+s \cdot R_{f2} \cdot C_{f3}} \right\} I_L \\ &= V_{out} + R_{dcr} \left(\frac{1+s \cdot T}{1+s \cdot T_1} \right) I_L \end{aligned} \quad (1)$$

【0031】

ここで、 $T=L_1/R_{dcr}$ 、 $T_1=R_{f2} \cdot C_{f3}$ 、 $s=j\omega$ 、 $\omega=2\pi f_{sw1}$ (f_{sw1} :スイッチング周波数)である。コイルの寄生抵抗による電圧低下分を低減する為には、式(2)のようにする必要がある。し

$$\frac{L_1}{R_L} < R_{f2} \cdot C_{f1} \Leftrightarrow T < T_1 \quad (2)$$

【0033】

【数3】

かし、従来のCRフィードバックヒステリシス制御回路のスイッチング周波数(f_{sw1})は、式(3)で表されることから、

【0032】

【数2】

$$f_{sw1} = \frac{V_{out} \cdot (V_{in}-V_{out})}{V_{in} \cdot V_{hys} \cdot RF2 \cdot CF3} = \frac{V_{out} \cdot (V_{in}-V_{out})}{V_{in} \cdot V_{hys} \cdot T_1} \quad (3)$$

【0034】

コイルの寄生抵抗による電圧降下分をフィードバック信号から減らそうとすると、スイッチング周波数も減少してしまう。L S I の電源電圧の低電圧化・消費電流の増大、高*d i / d t*化により、電源を各 L S I の直近に分散して配置する傾向にある為に、電源の小型化が要求されている。電源の小型化の為には駆動周波数を高くする必要があり、コイルの寄生抵抗による電圧降下の影響をフィードバック信号から低減する為に、駆動周波数が減少するのは問題である。

【0035】

図5Bに図5AのCRフィードバック・ヒステリシス制御回路を改良した回路を示すある一つの実施例の回路構成図である。このCRフィードバック・ヒステリシス制御回路は、コイル(L1)に流れる電流(I_L)に比例した電圧と出力電圧(V_{out})を加算した電圧を検出する手段として、抵抗(RF2)と二つの容量(CF2及びCF3)を互いに直列接続し、それをコイル(L1)に並列に接続している。

容量CF3と容量CF2の接続ノードn2の電位V_{fb1}と基準電圧源VREF1からの基準電圧Vref1をヒステリシス・コンパレータHCM_Pで比較し、ヒステリシスコンパレータHCM_Pの出力によりスイッチS1, S2をオン、オフ制御するように構成されている。

【0036】

ここで、図5Iは、容量CF2を挿入しない場合における出力電流I_{out}と出力電圧V_{out}の関係を示し、図5Jは、容量CF2を挿入した場合における出力電流I_{out}と出力電圧V_{out}の関係を示す。

容量CF2を挿入しない場合は、コイルL1の寄生抵抗

R_Lと出力電流I_{out}の積(R_{dcr} × I_{out})に比例してノードn2の電位が低下する為、出力電流I_{out}が増えると出力電圧V_{out}が大きく低下する。

これに対して容量CF2を挿入した場合は、コイルL1の寄生抵抗R_Lと出力電流I_{out}の積(R_{dcr} × I_{out})に比例した電圧が容量CF2, CF3で分割される為、ノードn2の電位が低下する量が減少し、出力電流I_{out}が増加した時における出力電圧V_{out}の低下量を容量CF2, CF3の比で調整することが可能である。

【0037】

なお、出力電流I_{out}が増加した時における出力電圧V_{out}の低下量を、過渡的に出力電流I_{out}が減少した時における出力電圧V_{out}のオーバーシュート量と合わせることによって出力電流I_{out}の過渡的変化における出力電圧V_{out}の変動幅を最小にすることが可能である。

【0038】

このCRフィードバック・ヒステリシス制御回路は、フィードバック信号を容量(CF2)と容量(CF3)の間から取り出すことで、式(4)に表されるように、T < T₂或いはCF2 > CF3とすることで寄生抵抗の影響を低減できる。ここで、T₂ = RF2 · CF3である。本発明のCRフィードバック・ヒステリシス制御回路のスイッチング周波数(f_{sw2})は、式(5)で表され、V_{out} ≈ (CF3/CF2) · V_{hys}となる場合においては、式(6)のように近似できる。

【0039】

【数4】

$$\begin{aligned} V_{fb1} &= V_{out} + V_{cf3} = V_{out} + R_{dcr} \left\{ \frac{1+s \cdot (L1/R_{dcr})}{1+(CF2/CF3)+s \cdot RF2 \cdot CF3} \right\} I_L \\ &= V_{out} + R_{dcr} \left(\frac{1+s \cdot T}{1+(CF2/CF3)+s \cdot T_2} \right) I_L \end{aligned} \quad (4)$$

【0040】

【数5】

$$\begin{aligned}
 f_{sw2} &= \frac{\{V_{out} + (CF3/CF2) \cdot V_{phys}\} \cdot [V_{in} - \{V_{out} + (CF3/CF2) \cdot V_{phys}\}]}{V_{in} \cdot V_{phys} \cdot RF2 \cdot CF3} \\
 &= \frac{\{V_{out} + (CF3/CF2) \cdot V_{phys}\} \cdot [V_{in} - \{V_{out} + (CF3/CF2) \cdot V_{phys}\}]}{V_{in} \cdot V_{phys} \cdot T_2}
 \end{aligned} \tag{5}$$

【0041】

【数6】

$$\begin{aligned}
 f_{sw2} &= \frac{\{V_{out} + (CF3/CF2) \cdot V_{phys}\} \cdot [V_{in} - \{V_{out} + (CF3/CF2) \cdot V_{phys}\}]}{V_{in} \cdot V_{phys} \cdot RF2 \cdot CF3} \\
 &\approx \frac{V_{out} \cdot (V_{in} - V_{out})}{V_{in} \cdot V_{phys} \cdot T_2}
 \end{aligned} \tag{6}$$

【0042】

このことは、電圧降下の影響を低減させても、スイッチング周波数には影響しないことを意味しており、その結果高スイッチング周波数においてもコイルの寄生抵抗の電圧降下分をフィードバック信号から取り除くことが可能となる。また、外付け回路に使用する素子数を極力少なくしたいという要求に対し、容量1個を付加するだけで、スイッチング周波数に依存せずに重負荷時の出力電圧のドロップ量を低減することが可能となる。

また、L S I の電源電圧の低電圧化に伴い、負荷変動時の電圧変化に対しても高精度な電圧制御が要求されている。平滑コンデンサを並列接続しコンデンサの直列抵抗を減らすこともできるが、コストや素子数の増加につながる。

【0043】

そこで、負荷変動時の電圧変化に対する高精度な電圧制御法として、軽負荷時には出力電圧を基準電圧より高く設定し、重負荷時には基準電圧よりも低く設定することにより、負荷変動時の過渡的な電圧変化を含めて許容電圧範囲内に収めるD r o o p制御がある。図5 C は同じ平滑コンデンサでD r o o p 制御を行った場合と行わない場合の出力電流変動時の出力電圧波形を示す。

【0044】

この改良型C R フィードバック・ヒステリシス制御回路は、D r o o p 制御を行った場合の電圧降下分 ($V_{dr op}$) をコイル (L 1) の寄生抵抗 (R d c r) を用いて、しかも周波数変化させることなく設定可能となる。

【0045】

又、コイル (L 1) の所を、ダイオード、スイッチ、トランジスタである例においても同様の効果が得られ、以下に示す。

コイルの両端にC f とR f を接続したのでは、出力電圧 (V_{out}) の変化を直接ヒステリシスコンバレータ

20 (H C M P) ヘフィードバックできない。そこで、図5 D のようにダイオードの両端にC f とR f を接続することで出力電圧の変化を直接フィードバックできる様になる。

同じくコイルの両端にC f とR f を接続したのでは、出力電圧の変化を直接ヒステリシスコンバレータ (H C M P) ヘフィードバックできない。そこで、図5 E のようにスイッチの両端にC f とR f を接続することで出力電圧の変化を直接フィードバックできる様になる。

【0046】

同じく絶縁型の1次側の制御を行う場合、図5 F のように1次側と2次側で絶縁をとらないといけないので2次側のコイルの両端にC f とR f を接続した場合には何らかの絶縁手段をもちいて2次側から1次側へフィードバック信号を送らないといけないが、1次側のトランスの両端にC f とR f を接続することによって絶縁手段を用いずに直接フィードバックできるようになる。

【0047】

抵抗 (R f 1) と容量 (C f 1) の間 (f b) あるいは容量 (C f 1) と容量 (C f 2) の間 (f b) から信号を取り出した場合、各素子間に流れる電流に比例した電圧にV 1 を加算した電圧 (V_{fb}) を検出する。そこで、電圧V 1 を同時に検出し、図5 G (a) ~ (d) のようにフィードバック信号と出力電圧の差をとることで、各素子に流れる電流に比例した電圧を検出することができ、各素子に流れる電流を検出できる (式 (7) ~ (10))。

【0048】

コイル : $I_1 \propto V_{fb1} - V_1 \dots \dots (7)$

ダイオード : $I_d \propto V_{fb1} - V_1 \dots \dots (8)$

スイッチ : $I_s \propto V_{fb1} - V_1 \dots \dots (9)$

トランジスト : $I_t \propto V_{fb1} - V_1 \dots \dots (10)$

50 【0049】

電流検出のためには、電流検出用抵抗を挿入するのが一般的であるが、LSIの消費電流が増加傾向にあり、わずかな抵抗値でも電流検出用抵抗で消費される電力が無視できなくなる。CRフィードバック制御検出部を電流検出としても用いることで、電流検出用抵抗が不要となる。また、一つの回路でフィードバック信号と電流検出用信号を取り出せるので回路を簡単にでき、素子数を低減できる。

【0050】

図6は、本発明のスイッチング・レギュレータの第6の実施例を示す。

この実施例は、図2の実施例の回路において、抵抗R1と容量C1の接続ノードn2と接地点との間に抵抗R2と容量C2を接続したものである。この第6の実施例によれば、第2の実施例の利点に加えて、抵抗R1とR2の比で出力電圧Voutを調整することができるという利点がある。つまり、この実施例においては、出力電圧Voutは、 $V_{out} = R_2 / (R_1 + R_2) \cdot V_{ref}$ で与えられる。従って、抵抗R1とR2の比を調整することにより、基準電圧Vref1を変えずに出力電圧Voutを任意に設定することができる。

なお、容量C2を設けているのは、抵抗R2を設けたことに伴い位相遅れや位相の進みが生じて過渡応答特性が劣化するのを防止するためである。 $R_1 \cdot C_1 = R_2 \cdot C_2$ となるように、抵抗値および容量値を設定することによって、位相遅れや位相の進みを小さくすることができる。

【0051】

もし位相の遅れや進みが問題にならなければ抵抗R2を追加するだけで良く、容量C2を設ける必要な無い。また積極的に位相の遅れや進みを調整したい場合は容量C2には $R_1 \cdot C_1 = R_2 \cdot C_2$ から外れた値を設定しても良い。また、図5aのように容量C3を追加すれば出力電流Ioutが増加した時における出力電圧Voutの低下量を調整することが可能である。

【0052】

図7は、本発明のスイッチング・レギュレータの第7の実施例を示す。

この実施例は、図2の実施例の回路において、出力電圧Voutを分圧する抵抗R4、R5と、分圧された電圧と基準電圧Vref1との差電圧を検出するトランジスタコンダクタンス型アンプ(gmアンプ)からなるエラーアンプEA1と、エラーアンプEA1の出力端子と接地点との間に接続された抵抗R3とを設け、エラーアンプEA1の出力端子をコンバーティアH-CMPの基準側の入力端子に接続したものである。この実施例によれば、コイルに寄生抵抗RdcがあってもエラーアンプEA1によって出力電圧が微調整されるので第1～6の実施例と比べると出力電圧Voutの低下が生じない利点がある。ただし、出力電流Ioutの過渡的変化における出

力電圧Voutの変動幅が大きくなると言う短所もある。

【0053】

また、この実施例は、エラーアンプEA1と抵抗R3の分だけ第1の実施例に比べて出力電流の変化に対する応答が遅くなるが、抵抗R4、R5の抵抗比により基準電圧Vref1を変えずに出力電圧Voutを設定することができるという利点がある。この実施例においては、出力電圧Voutは、 $V_{out} = R_5 / (R_4 + R_5) \cdot V_{ref1}$ で与えられる。

【0054】

なお、この実施例では、エラーアンプEA1の出力端子と接地点との間に接続された抵抗R3を設けているが、抵抗R3はレギュレータの出力端子すなわちコイルL1の一方の端子とエラーアンプEA1の出力端子との間に接続することも可能であり、ほぼ同様な効果が得られる。抵抗R4、R5はIC内部に設けることも可能であるが、外付け素子とすることによりユーザが出力電圧を任意に設定することができる。図1や図2のように、コイルL1と並列の容量C1、抵抗R1を外付け素子とする場合には、抵抗R4、R5を外付け素子で構成してもICの外部端子(ピン)数が増加しないため都合が良い。

【0055】

図8は、本発明のスイッチング・レギュレータの第8の実施例を示す。

この実施例は、図4aの第4実施例と図7の第7実施例を組み合わせたような実施例である。すなわち、図7の実施例において、ヒステリシス・コンバーティアH-CMPの代わりに通常のコンバーティアCMPを用いるとともに、エラーアンプEAの出力端子と接地点との間に直列の抵抗R6、R7、R8を接続し、このうち抵抗R8と並列にスイッチSW3を設け、コンバーティアCMPの反転入力端子に印加される比較電圧を切り替えることで該コンバーティアCMPがヒステリシス特性を示すようにしたものである。

【0056】

なお、この実施例では、スイッチSW3は主スイッチSW1と同期スイッチSW2との接続ノードn1の電位をインバータINVで反転した信号でオン・オフ制御するよう構成されている。これは図4aの実施例において変形例として説明した構成であり、このスイッチSW3は図4aの実施例と同様にコンバーティアCMPの出力を直接制御することも可能であり、それによってインバータINVを不要とすることができます。また、この実施例では、エラーアンプEAとして、gmアンプでなく電圧入力-電圧出力型の差動アンプを用いることができる。

【0057】

図9は、本発明のスイッチング・レギュレータの第9の実施例を示す。

この実施例は、図2の第2実施例において、出力電圧V

i_{out} とノードn2の電位 V_{n2} とを入力とするgmアンプからなるカレントセンスアンプCSAと、該カレントセンスアンプの出力電流 i_{cosa} を電圧に変換する抵抗R3と、変換された電圧と基準電圧 V_{ref2} とを比較する第1のコンパレータCMP2と、抵抗R3により変換された電圧 V_{cosa} と基準電圧 V_{ref3} (< V_{ref2})とを比較する第2のコンパレータCMP3と、コンパレータCMP2の出力とヒステリシス・コンパレータH-CMPの出力との論理和をとるANDゲートG1とを設け、過電流が流れる状態と軽負荷の状態とをそれぞれ検出して、レギュレータの状態に応じてスイッチング制御回路100による制御を変更するようにしたものである。

【0058】

この実施例の回路では、出力電流 i_{out} が増大すると出力電圧 V_{out} とノードn2の電位 V_{n2} との差が大きくなり、カレントセンスアンプCSAの出力電流 i_{cosa} が増大して電圧 V_{cosa} が高くなる。そして、電圧 V_{cosa} が基準電圧 V_{ref2} よりも高くなるとコンパレータCMP2の出力がロウレベルに変化してANDゲートG1の出力がロウレベルに固定される。すると、スイッチング制御回路100は主スイッチSW1をオフし同期スイッチSW2をオンさせてコイルに流す電流を減らす。これにより、出力電流 i_{out} がある値以上流れないように制限(過電流保護)することができる。

【0059】

また、出力電流 i_{out} が小さくなると、出力電圧 V_{out} とノードn2の電位 V_{n2} との差が小さくなり、カレントセンスアンプCSAの出力電流 i_{cosa} が減少して電圧 V_{cosa} が低くなる。そして、電圧 V_{cosa} が基準電圧 V_{ref3} よりも低くなると、コンパレータCMP3の出力がハイレベルに変化する。すると、スイッチング制御回路100は主スイッチSW1と同期スイッチSW2を共にオフさせてコイルに流す電流を減らす。これにより、出力電流 i_{out} がある値以下しか流れない軽負荷状態での電力効率を向上させることができる。

【0060】

図10は、本発明をヒステリシス・カレントモード制御方式の昇圧型スイッチング・レギュレータに適用した実施例を示す。

この実施例の昇圧型スイッチング・レギュレータでは、同期スイッチ(SW2)がなく、代わりにコイルL1と直列に逆流防止用のダイオードD2が設けられている。また、主スイッチSW3はコイルL1とダイオードD2の接続ノードn3と接地点との間に設けられている。

【0061】

従来(米国特許第5,825,165)のヒステリシス・カレントモード制御方式のスイッチング・レギュレー

タでは、コイルL1と直列に電流センス用の抵抗(216)が設けられているが、本発明の図10の実施例では、コイルL1と並列に直列形態の容量C1および抵抗R1が接続され、容量C1と抵抗R1の接続ノードn2の電位 V_{n2} がヒステリシス・コンパレータH-CMPの非反転入力端子に入力されている。ヒステリシス・コンパレータH-CMPの反転入力端子には、出力電圧 V_{out} を抵抗R4とR5で分圧した電圧と基準電圧 V_{ref1} とを比較するエラーアンプEA2の出力 V_{err} が入力されている。この実施例においても電流センス用の抵抗がコイルL1と直列に設けられていないため、従来に比べて電力損失が少ないという利点がある。

【0062】

ダイオードD2の代わりに主スイッチSW3と相補的にオン、オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプEA2と抵抗R4, R5を省略してヒステリシス・コンパレータH-CMPに直接基準電圧 V_{ref1} を印加するように構成しても良い。

【0063】

また、図8の実施例と同様に、ヒステリシス・コンパレータH-CMPの代わりに通常のコンパレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。さらに、コイルL1と並列に直列形態の容量C1および抵抗R1を接続する代わりに、ダイオードD2と並列に直列形態の容量C1および抵抗R1を接続しても良い。ただし、その場合、電圧の変化の大きい出力端子側に容量C1を接続し、ダイオードD2のアノード端子側に抵抗R1を接続するのが良い。

【0064】

図11は、本発明を昇圧と降圧のいずれも可能な昇降圧型スイッチング・レギュレータに適用した実施例を示す。

この実施例の昇降圧型スイッチング・レギュレータは、図10の昇圧型スイッチング・レギュレータにおいてコイルL1と直列にスイッチSW1を、またこのスイッチSW1およびコイルL1の接続ノードn1と接地点との間に逆向きのダイオードD1を追加したような構成を備えている。スイッチSW1はSW3と同じタイミングでオン、オフしても良いし、若干のディレイをおいてオン、オフさせても良い。

【0065】

この実施例では、図10の実施例と同様にコイルL1と直列の電流センス用抵抗がなく、コイルL1の代わりにダイオードD2と並列に直列形態の容量C1および抵抗R1が接続され、容量C1と抵抗R1の接続ノードn2の電位がヒステリシス・コンパレータH-CMPの非反転入力端子に入力されている。この実施例においても電流センス用の直列抵抗がないため、従来に比べて電力損

失が少ないという利点がある。

【 0 0 6 6 】

ダイオードD 1, D 2の代わりに主スイッチSW 1, SW 3と相補的にオン、オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプEA 2と抵抗R 4, R 5を省略してヒステリシス・コンパレータH-CMPに直接基準電圧Vref 1を印加するように構成しても良い。また、図8の実施例と同様に、ヒステリシス・コンパレータH-CMPの代わりに通常のコンパレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。

【 0 0 6 7 】

さらに、ダイオードD 2と並列に直列形態の容量C 1および抵抗R 1を接続する代わりに、図10の実施例と同様に、コイルL 1と並列に直列形態の容量C 1および抵抗R 1を接続しても良い。その場合、容量C 1と抵抗R 1は図10と同じ関係に接続しても良いし、スイッチSW 1との接続ノードn 1側に容量C 1を接続し、ダイオードD 2のアノード端子側に抵抗R 1を接続してもよい。

【 0 0 6 8 】

図12は、本発明を負電圧を発生するヒステリシス・カレントモード制御方式のスイッチング・レギュレータに適用した実施例を示す。

この実施例の負電圧生成スイッチング・レギュレータは、図10の昇圧型スイッチング・レギュレータにおけるコイルL 1とスイッチSW 3の位置を逆にしたような構成を備えている。また、逆流防止用のダイオードD 3は、図10のダイオードD 2と逆向きである。この実施例では、図10の実施例と同様にコイルL 1と直列の電流センス用抵抗がなく、コイルL 1と並列に直列形態の容量C 1および抵抗R 1が接続され、容量C 1と抵抗R 1の接続ノードn 2の電位がヒステリシス・コンパレータH-CMPの非反転入力端子に入力されている。この実施例においても電流センス用の直列抵抗がないため、従来に比べて電力損失が少ないという利点がある。

【 0 0 6 9 】

ダイオードD 3の代わりに主スイッチSW 3と相補的にオン、オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプEA 2と抵抗R 4, R 5を省略してヒステリシス・コンパレータH-CMPに直接基準電圧Vref 1を印加するように構成しても良い。また、図8の実施例と同様に、ヒステリシス・コンパレータH-CMPの代わりに通常のコンパレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。

【 0 0 7 0 】

図13は、本出願の第2の発明の実施例を示す。この実施例は、図4aの実施例のようにコンパレータCMPに印加される電圧として2段階の参照電圧VHYS

を生成してヒステリシス特性を付与するようにしたスイッチング・レギュレータに第2発明を適用したものである。具体的には、基準電圧源VREF 1の基準電圧Vref 1を抵抗R 6, R 7, R 8で分圧してコンパレータCMPに印加される2段階の参照電圧VHYSを生成する抵抗分割回路121の抵抗R 8と並列にMOSFET

TR 1を設け、該MOSFET TR 1のオン抵抗をPLL(フェーズ・ロックド・ループ)と類似の構成を有する回路で変化させることで、抵抗分割回路121で生成される参照電圧VHYSを補正するようにしたものである。

【 0 0 7 1 】

図1, 2や図4aの回路においては、前述の式(b)より、入力電圧Vinや出力電圧Voutが変化するとスイッチング周波数fswが変化することが分かる。そして、通信機能やオーディオ再生機能を有する電子機器ではレギュレータのスイッチング周波数fswが変化して通信周波数に一致したりすると、電磁干渉によって可聴帯域にビートノイズを発生させるおそれがある。そこで、この実施例においては、入力電圧Vinや出力電圧Voutの変化にかかわらずレギュレータのスイッチング周波数fswを常にシステムの基準クロックφcの周波数fre fと一致させるように参照電圧VHYSを補正することによって、ノイズの発生を抑制するようにしたものである。

【 0 0 7 2 】

具体的には、レギュレータのスイッチング周波数fswと同じ周期で変化するスイッチSW1とSW2の接続ノードn1の電位Vn1(スイッチSW1の制御信号でも可)の周波数とシステムの基準クロックφcの周波数との差を検出して周波数差に応じた信号UP, DNを出力する周波数比較器101と、該周波数比較器101の出力信号UP, DNによって動作するチャージポンプ回路102と、該チャージポンプ回路102により充放電される容量を含み制御電圧Vcを生成するループフィルタ103とを備え、該ループフィルタ103の電圧Vcが上記MOSFET TR 1のゲート端子に印加されるように構成されている。また、ループフィルタ103とチャージポンプ回路102との間にスイッチSW11, SW12が設けられている。なお、PLL回路では一般に位相比較器が使用されるが、周波数の引込みを早くするために位相比較器と周波数比較器とが設けられることがあり、本実施例ではそのうち周波数比較器のみ用いるような回路構成とすることができます。

【 0 0 7 3 】

この実施例の回路は、ノードn1の電位Vn1すなわちレギュレータのスイッチング周波数が相対的に高くなると、ループフィルタ103の電圧Vcが高くなつてMOSFET TR 1のオン抵抗が小さくされ、これによつて抵抗R8との合成抵抗が小さくなつて参照電圧VHYS

Sが下がる。また、ノードn1の電位Vn1の変化周波数が相対的に低くなると、ループフィルタ103の電圧Vcが低くなつてMOSFETTR1のオン抵抗が大きされ、これによつて、抵抗R8との合成抵抗が大きくなつて参照電圧VHYSが高くなるように動作される。

【0074】

図14には、本実施例におけるレギュレータのスイッチング周波数fswとループフィルタ103の電圧Vcおよび参照電圧VHYSとの関係が示されている。図14のように、スイッチング周波数fswに比例して増加する電圧Vcに反比例するように参照電圧VHYSを補正することにより、レギュレータのスイッチング周波数fswが常にシステムの基準クロックφcの周波数frefと一致もしくは近い値になるように制御が行なわれる。その結果、レギュレータで発生したスイッチングノイズによって可聴帯域にビートノイズが発生するのが防止される。

【0075】

ところで、常に上記PLL回路を動作させてMOSFETTR1のオン抵抗を制御して参照電圧VHYSを変化させると、図3のタイミングチャートで説明した出力電流Ioutに変化が生じた際(過渡期間T2, T4)に行なわれるスイッチSW1, SW2のオン・オフ時間の制御によってノードn1の電位Vn1の変化周期が延長もしくは短縮されるため、周波数比較器101の出力が一時的に支障をきたすことになる。そこで、本実施例においては、スイッチSW1とSW2の接続ノードn1の電位Vn1(スイッチSW1の制御信号でも可)を監視する監視回路104を設け、スイッチSW1のオン時間が所定時間以上継続した時は速やかにスイッチSW1, SW2をオフして周波数比較器101の出力がチャージポンプ102に供給されないような制御が行なわれるようになされている。

【0076】

図16は本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの一実施例を示す。

この実施例のスイッチング・レギュレータは、電池などの直流電源PSから供給される直流電圧Vinが入力される電圧入力端子VINと接地点(GND)との間に直列に接続されたMOSFETなどからなるスイッチSW1, SW2と、該スイッチSW1とSW2の中間ノードn1と出力端子VOOUTとの間に接続されたインダクタとしてのコイルL1と、出力端子VOOUTと接地点との間に接続された平滑容量C0と、上記スイッチSW1, SW2のゲートに印加されてこれらをオン、オフ制御する信号(制御パルス)を生成するスイッチング制御回路100と、上記コイルL1と並列に接続された直列形態の抵抗R1および容量C1と、該抵抗R1および容量C1の接続ノードn2の電位Vn2と基準電圧源VREF

1からの基準電圧Vref1とを比較するヒステリシス・コンバレータH-CMPとを備え、該コンバレータH-CMPの出力をスイッチング制御回路100へ供給されるように構成されている。

【0077】

図16において、抵抗RLとして示されているのは、本実施例のスイッチング・レギュレータからの電圧の供給を受けて動作するCPUのような負荷としての半導体集積回路である。スイッチSW1とSW2は相補的にオン、オフ動作されることにより、オン・オフ制御パルスのデューティ比に応じた電流がコイルL1より出力される。ここで、ヒステリシス・コンバレータH-CMPは、非反転入力端子に入力されている電圧が反転入力端子に印加されている基準電圧よりも高い時はしきい値が低く見え、非反転入力端子に入力されている電圧が反転入力端子に印加されている基準電圧よりも低くなるとしきい値が所定の電位だけ高くなるように見えるコンバレータのことである。このような特性を有するコンバレータ回路は公知であるので、具体的な回路の例示と説明は省略する。コンバレータは、MOSFETで構成された入力インピーダンスの高い回路を使用するのが望ましい。

【0078】

なお、図16において、一点鎖線で囲まれた部分は単結晶シリコンのような1個の半導体チップ上に半導体集積回路として構成される。つまり、コイルL1や容量C1、抵抗R1、スイッチSW1, SW2は外付け素子として接続されている。これにより、精度の高いレギュレータを実現できる。

ただし、このような構成に限定されるものではなく、図17に示すように、スイッチSW1, SW2をICチップ内部に取り込んだり、コイルL1と並列の容量C1、抵抗R1をICチップ内部に取り込むようにしても良い。これらの素子をICチップ内部に取り込むことにより電源装置の部品点数を減らし小型化を図ることができる。スイッチSW1, SW2は出力電流が大きいシステムに使用される電源装置では比較的大きな電流を流す必要があるため外付け素子で構成することが望ましいが、出力電流が小さいシステムに使用される電源装置ではチップ上に形成された素子を使用することができる。

【0079】

次に、上記実施例のスイッチング・レギュレータの具体的な動作を、図18のタイミングチャートを用いて説明する。

実施例のスイッチング・レギュレータは、抵抗R1と容量C1との接続ノードn2の電位Vn2がヒステリシス・コンバレータH-CMPに入力されている基準電圧Vrefより下がるとコンバレータの出力が反転する。すると、コイルL1に電流を流し込む主スイッチSW1がスイッチング制御回路100によってオフ状態からオン

状態に切り替えられ、これに同期してコイル L 1 に流す電流を減らすように作用する同期スイッチ SW 2 がオン状態からオフ状態に切り替えられる。これにより、スイッチ SW 1 を介して電源端子 V in からコイル L 1 へ電流が流し込まれるようになる。このとき、容量 C 1 は抵抗 R 1 を介して充電され、接続ノード n 2 の電位 V n 2 が次第に高くなる。

【 0 0 8 0 】

また、ヒステリシス・コンバレータ H-CMP は、そのヒステリシス電圧を V hys とおくと、接続ノード n 2 の電位 V n 2 が V ref + V hys より高くなると出力が反転する。すると、スイッチング制御回路 100 により主スイッチ SW 1 がオン状態からオフ状態に、またこれに同期して同期スイッチ SW 2 がオフ状態からオン状態にそれぞれ切り替えられる。これにより、スイッチ SW 2 によってコイル L 1 に流れる電流が減らされるようになる。このとき、容量 C 1 は抵抗 R 1 を介して放電され、接続ノード n 2 の電位 V n 2 は次第に低くなる。

【 0 0 8 1 】

上記のような動作を繰り返すことにより、コイル L 1 に流れる電流 I L は、図 18 (A) のように三角波状に変化する。コイル電流 I L は、コイルのインダクタンスを L とすると、増加する期間では $(V_{in} - V_{out}) / L$ であり、減少する期間では V_{out} / L である。これにより、出力電流 I out が一定である定常状態 (図 18 の T 1, T 3, T 5 の期間) では、コイル L 1 にはほぼ安定した電流 I L が流される。このときレギュレータの出力電圧 V out は、主スイッチ SW 1 をオン・オフ制御する信号のデューティ比 t on / (t on + t off) を N とすると、 $V_{out} = N \cdot V_{in}$ で表わされる。ここで、t on はスイッチのオン期間、t off はオフ期間である。なお、上記主スイッチ SW 1 および SW 2 を切り替える際には、図 18 (D), (E) のようにそれぞれ所定のデッドバンドを設けて 2 つのスイッチが同時にオン状態にされて貫通電流が流れるのを回避するような制御が行なわれる。

【 0 0 8 2 】

出力電流 I out が増加する遷移状態 (T 2) においては、出力電圧 V out が急に下がるのに応じてその電位変化が容量 C 1 を介して接続ノード n 2 に伝わり、その電位 V n 2 が図 18 (B) のように急激に下がることによって、スイッチ SW 1 をオンさせる時間 (SW 2 のオフ時間) を図 18 (D) のように延長させる。また、出力電流 I out が減少する遷移状態 (T 4) においては、出力電圧 V out が急に上がるのに応じて接続ノード n 2 の電位 V n 2 が上がることによって、図 18 (D) のようにスイッチ SW 1 をオフさせる時間を延長させるように動作する。

【 0 0 8 3 】

なお、図 18 には示されていないが、コイルの電流 I L

が減少しているときに出力電流 I out が増加する遷移状態 (T 2) に入るとスイッチ SW 1 をオフさせる時間 (SW 2 のオン時間) を短縮させ、コイルの電流 I L が増加しているときに出力電流 I out が減少する遷移状態 (T 4) に入るとスイッチ SW 1 をオンさせる時間を延長するように動作する。

【 0 0 8 4 】

従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータは、エラーアンプを介して出力電圧の変化がヒステリシス・コンバレータにフィードバックされていたが、本実施例においては、上記のように出力電圧の変化が容量素子 C 1 を介してヒステリシス・コンバレータ H-CMP に直ちに伝わるため、出力電流 I out の変化に対する応答特性が向上される。しかも、容量素子 C 1 を介して入力インピーダンスの高いコンバレータ H-CMP に出力の変化を伝える構成であるため、出力電圧に対する影響も少ない。また、入力電圧 V in の変化も抵抗 R 1 を介して接続ノード n 2 に伝わり、ヒステリシス・コンバレータにフィードバックされるため、入力電圧の変化に対するレギュレータの応答も速くなる。

【 0 0 8 5 】

本実施例のスイッチング・レギュレータのスイッチング周波数 f sw は次式

$$f_{sw} = V_{out} (V_{in} - V_{out}) / V_{in} \cdot V_{hys} \cdot R_1 \cdot C_1 \dots (b)$$

で表わされる。この式より、本実施例のレギュレータのスイッチング周波数 f sw は抵抗 R 1 と容量 C 1 の値に依存するが、コイル L 1 のインダクタンスに依存しないことが分かる。抵抗素子はコイルに比べて製造バラツキの小さなもののが手に入り易い上、容量素子は製造バラツキがコイルと同程度であるが温度特性の小さなもののがコイルに比べて安価に手に入る。また、スイッチング周波数を表わす式 (b) 内にコイルのインダクタンス値がないため、流れる電流によってインダクタンス値が変化する直流電流重畠特性というコイル特有の問題を考慮する必要がない。そのため、従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータに比べてスイッチング周波数 f sw の変動を少なくすることができる。

【 0 0 8 6 】

さらに、本実施例のスイッチング・レギュレータは、コイルと直列に接続されるセンス抵抗が不要である。本実施例においても抵抗を使用しているが容量と直列に接続されており、直流電流のバスがない。そのため、従来のヒステリシス・カレントモード制御方式のスイッチング・レギュレータに比べて電力損失を減らすことができる。また、エラーアンプが不要になるため、応答特性が向上するとともに位相補償回路を設ける必要がなくなりその分回路規模を小さくすることができる。

【0087】

図19は、本発明の降圧型スイッチング・レギュレータの他の実施例を示す。本実施例は、第1の実施例におけるヒステリシスを有するコンパレータH-CMPの代わりに、通常のコンパレータCMPを用いるとともにこのコンパレータに入力される参照電圧VHYSを切り替えるようにしたものである。具体的には、基準電圧源VEREF1と、該基準電圧源VEREF1で生成された基準電圧Vref1を分圧する直列抵抗R6, R7, R8および抵抗R8と並列に設けられたスイッチSW3からなる抵抗分割回路121とからなる参照電圧生成回路120を設け、抵抗R6とR7の接続ノードn3の電位を参照電圧VHYSとしてコンパレータCMPの反転入力端子に印加するように構成し、上記スイッチSW3をコンパレータCMPの出力で切り替えて参照電圧VHYSを変化させることによって、コンパレータCMPが見かけ上ヒステリシス特性を有するようにしたものである。

【0088】

図20にコンパレータCMPの反転入力端子に印加される参照電圧VHYSとノードn2の電位Vn2の関係が示されている。図19の回路は、ノードn2の電位Vn2が参照電圧VHYSよりも高い時はスイッチSW3をオンさせて参照電圧VHYSを下げ、ノードn2の電位Vn2が参照電圧VHYSよりも低い時はスイッチSW3をオフさせて参照電圧VHYSを上げるように動作される。

【0089】

この実施例では、スイッチSW3をオンさせて抵抗R6とR7の比で基準電圧Vref1を抵抗分割した電圧と、スイッチSW3をオフさせて抵抗R6と抵抗R7, R8の和との比R6/(R7+R8)で基準電圧Vref1を抵抗分割した電圧との差が、第1の実施例におけるコンパレータH-CMPのヒステリシス電圧Vhysと同一となるように設計すれば、第1の実施例のレギュレータと全く同じように動作させることができる。なお、この実施例では、スイッチSW3をコンパレータCMPの出力で制御して参照電圧VHYSを切り替えるようしているが、スイッチSW1とSW2の接続ノードn1の電位を反転するインバータを設けてこのインバータの出力でスイッチSW3をオン・オフさせても同様の動作をさせることができる。

【0090】

図21は、本発明のスイッチング・レギュレータの他の実施例を示す。

この実施例は、図16の実施例の回路において、抵抗R1と容量C1の接続ノードn2と接地点との間に抵抗R2と容量C2を接続したものである。この第3実施例によれば、第1の実施例の利点に加えて、抵抗R1とR2の比で出力電圧Voutを調整することができるという利点がある。つまり、この実施例においては、出力電圧

Voutは、 $Vout = R2 / (R1 + R2) \cdot Vref1$ で与えられる。従って、抵抗R1とR2の比を調整することにより、基準電圧Vref1を変えずに出力電圧Voutを任意に設定することができる。

なお、容量C2を設けているのは、抵抗R2を設けたことに伴い位相遅れや位相の進みが生じて過渡応答特性が劣化するのを防止するためである。R1・C1=R2・C2となるように、抵抗値および容量値を設定することによって、位相遅れや位相の進みを小さくすることができる。

【0091】

図22は、本発明のスイッチング・レギュレータの他の実施例を示す。

この実施例は、図16の実施例の回路において、出力電圧Voutを分圧する抵抗R4, R5と、分圧された電圧と基準電圧Vref1との差電圧を検出するトランス・コンダクタンス型アンプ(gmアンプ)からなるエラーアンプEA1と、エラーアンプEA1の出力端子と接地点の間に接続された抵抗R3とを設け、エラーアンプEA1の出力端子をコンパレータH-CMPの基準側の入力端子に接続したものである。この実施例によれば、コイルL1と直列のセンス抵抗がないので、第1の実施例と同様に従来の回路に比べて電力損失が少ないという利点がある。

【0092】

また、この実施例は、エラーアンプEA1と抵抗R3の分だけ第1の実施例に比べて出力電流の変化に対する応答が遅くなるが、抵抗R4, R5の抵抗比により基準電圧Vref1を変えずに出力電圧Voutを設定することができるという利点がある。この実施例においては、出力電圧Voutは、 $Vout = R5 / (R4 + R5) \cdot Vref1$ で与えられる。

なお、この実施例では、エラーアンプEA1の出力端子と接地点の間に接続された抵抗R3を設けているが、抵抗R3はレギュレータの出力端子すなわちコイルL1の一方の端子とエラーアンプEA1の出力端子との間に接続することも可能であり、ほぼ同様な効果が得られる。抵抗R4, R5はIC内部に設けることも可能であるが、外付け素子とすることによりユーザが出力電圧を任意に設定することができる。図16や図17のように、コイルL1と並列の容量C1、抵抗R1を外付け素子とする場合には、抵抗R4, R5を外付け素子で構成してもICの外部端子(ピン)数が増加しないため都合が良い。

【0093】

図23は、本発明のスイッチング・レギュレータの他の実施例を示す。

この実施例は、図19の実施例と図22の実施例を組み合わせたような実施例である。すなわち、図22の実施例において、ヒステリシス・コンパレータH-CMPの

代わりに通常のコンバレータC M Pを用いるとともに、エラーアンプE Aの出力端子と接地点の間に直列の抵抗R 6, R 7, R 8を接続し、このうち抵抗R 8と並列にスイッチS W 3を設け、コンバレータC M Pの反転入力端子に印加される比較電圧を切り替えることで該コンバレータC M Pがヒステリシス特性を示すようにしたものである。

【0094】

なお、この実施例では、スイッチS W 3は主スイッチS W 1と同期スイッチS W 2との接続ノードn 1の電位をインバータINVで反転した信号でオン・オフ制御するように構成されている。これは図19の実施例において変形例として説明した構成であり、このスイッチS W 3は図19の実施例と同様にコンバレータC M Pの出力を直接制御することも可能であり、それによってインバータINVを不要とすることができる。また、この実施例では、エラーアンプE Aとして、gmアンプでなく電圧入力-電圧出力型の差動アンプを用いることができる。

【0095】

図24は、本発明のスイッチング・レギュレータのさらに他の実施例を示す。この実施例は、図16の実施例において、出力電圧V outとノードn 2の電位V n 2とを入力とするgmアンプからなるカレントセンスアンプCSAと、該カレントセンスアンプの出力電流I ocs aを電圧に変換する抵抗R 3と、変換された電圧と基準電圧V ref 2とを比較する第1のコンバレータC M P 2と、抵抗R 3により変換された電圧V ocs aと基準電圧V ref 3 (< V ref 2)とを比較する第2のコンバレータC M P 3と、コンバレータC M P 2の出力とヒステリシス・コンバレータH-C M Pの出力との論理和をとるANDゲートG 1とを設け、過電流が流れる状態と軽負荷の状態とをそれぞれ検出して、レギュレータの状態に応じてスイッチング制御回路100による制御を変更するようにしたものである。

【0096】

この実施例の回路では、出力電流I outが増大すると出力電圧V outとノードn 2の電位V n 2との差が大きくなり、カレントセンスアンプCSAの出力電流I ocs aが増大して電圧V ocs aが高くなる。そして、電圧V ocs aが基準電圧V ref 2よりも高くなるとコンバレータC M P 2の出力がロウレベルに変化してANDゲートG 1の出力がロウレベルに固定される。すると、スイッチング制御回路100は主スイッチS W 1をオフし同期スイッチS W 2をオンさせてコイルに流す電流を減らす。これにより、出力電流I outがある値以上流れないように制限（過電流保護）することができる。

【0097】

また、出力電流I outが小さくなると、出力電圧V outとノードn 2の電位V n 2との差が小さくなり、カ

レントセンスアンプCSAの出力電流I ocs aが減少して電圧V ocs aが低くなる。そして、電圧V ocs aが基準電圧V ref 3よりも低くなると、コンバレータC M P 3の出力がハイレベルに変化する。すると、スイッチング制御回路100は主スイッチS W 1と同期スイッチS W 2と共にオフさせてコイルに流す電流を減らす。これにより、出力電流I outがある値以下しか流れない軽負荷状態での電力効率を向上させることができる。

10 【0098】

図25は、本発明をヒステリシス・カレントモード制御方式の昇圧型スイッチング・レギュレータに適用した実施例を示す。

この実施例の昇圧型スイッチング・レギュレータでは、同期スイッチ(S W 2)がなく、代わりにコイルL 1と直列に逆流防止用のダイオードD 2が設けられている。また、主スイッチS W 3はコイルL 1とダイオードD 2の接続ノードn 3と接地点との間に設けられている。

【0099】

20 従来（米国特許第5, 825, 165）のヒステリシス・カレントモード制御方式のスイッチング・レギュレータでは、コイルL 1と直列に電流センス用の抵抗（216）が設けられているが、本発明の図25の実施例では、コイルL 1と並列に直列形態の容量C 1および抵抗R 1が接続され、容量C 1と抵抗R 1の接続ノードn 2の電位V n 2がヒステリシス・コンバレータH-C M Pの非反転入力端子に入力されている。ヒステリシス・コンバレータH-C M Pの反転入力端子には、出力電圧V outを抵抗R 4とR 5で分圧した電圧と基準電圧V ref 1とを比較するエラーアンプE A 2の出力V errが入力されている。この実施例においても電流センス用の抵抗がコイルL 1と直列に設けられていないため、従来に比べて電力損失が少ないという利点がある。

【0100】

40 ダイオードD 2の代わりに主スイッチS W 3と相補的にオン・オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプE A 2と抵抗R 4, R 5を省略してヒステリシス・コンバレータH-C M Pに直接基準電圧V ref 1を印加するように構成しても良い。

【0101】

また、図23の実施例と同様に、ヒステリシス・コンバレータH-C M Pの代わりに通常のコンバレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。さらに、コイルL 1と並列に直列形態の容量C 1および抵抗R 1を接続する代わりに、ダイオードD 2と並列に直列形態の容量C 1および抵抗R 1を接続しても良い。ただし、その場合、電圧の変化の大きい出力端子側に容量C 1を接続し、ダイオードD 2のアノード端子側に抵抗R 1を接続するのが

良い。

【0102】

図26は、本発明を昇圧と降圧のいずれも可能な昇降圧型スイッチング・レギュレータに適用した実施例を示す。

この実施例の昇降圧型スイッチング・レギュレータは、図25の昇圧型スイッチング・レギュレータにおいてコイルL1と直列にスイッチSW1を、またこのスイッチSW1およびコイルL1の接続ノードn1と接地点との間に逆向きのダイオードD1を追加したような構成を備えている。スイッチSW1はSW3と同じタイミングでオン、オフしても良いし、若干のディレイをおいてオン、オフさせても良い。

【0103】

この実施例では、図25の実施例と同様にコイルL1と直列の電流センス用抵抗がなく、コイルL1の代わりにダイオードD2と並列に直列形態の容量C1および抵抗R1が接続され、容量C1と抵抗R1の接続ノードn2の電位がヒステリシス・コンバレータH-CMPの非反転入力端子に入力されている。この実施例においても電流センス用の直列抵抗がないため、従来に比べて電力損失が少ないという利点がある。

【0104】

ダイオードD1、D2の代わりに主スイッチSW1、SW3と相補的にオン、オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプEA2と抵抗R4、R5を省略してヒステリシス・コンバレータH-CMPに直接基準電圧Vref1を印加するように構成しても良い。また、図23の実施例と同様に、ヒステリシス・コンバレータH-CMPの代わりに通常のコンバレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。

【0105】

さらに、ダイオードD2と並列に直列形態の容量C1および抵抗R1を接続する代わりに、図25の実施例と同様に、コイルL1と並列に直列形態の容量C1および抵抗R1を接続しても良い。その場合、容量C1と抵抗R1は図25と同じ関係に接続しても良いし、スイッチSW1との接続ノードn1側に容量C1を接続し、ダイオードD2のアノード端子側に抵抗R1を接続してもよい。

【0106】

図27は、本発明を負電圧を発生するヒステリシス・カレントモード制御方式のスイッチング・レギュレータに適用した実施例を示す。

この実施例の負電圧生成スイッチング・レギュレータは、図25の昇圧型スイッチング・レギュレータにおけるコイルL1とスイッチSW3の位置を逆にしたような構成を備えている。また、逆流防止用のダイオードD3は、図25のダイオードD2と逆向きである。この実施

例では、図25の実施例と同様にコイルL1と直列の電流センス用抵抗がなく、コイルL1と並列に直列形態の容量C1および抵抗R1が接続され、容量C1と抵抗R1の接続ノードn2の電位がヒステリシス・コンバレータH-CMPの非反転入力端子に入力されている。この実施例においても電流センス用の直列抵抗がないため、従来に比べて電力損失が少ないという利点がある。

【0107】

ダイオードD3の代わりに主スイッチSW3と相補的に10オン、オフされる同期スイッチを設けたり、出力電圧の調整を可能にするエラーアンプEA2と抵抗R4、R5を省略してヒステリシス・コンバレータH-CMPに直接基準電圧Vref1を印加するように構成しても良い。また、図23の実施例と同様に、ヒステリシス・コンバレータH-CMPの代わりに通常のコンバレータを用いてその参照電圧を切り替えることでヒステリシス特性を付与するように構成しても良い。

【0108】

図28は、本出願の第2の発明の実施例を示す。
20この実施例は、図19の実施例のようにコンバレータCMPに印加される電圧として2段階の参照電圧VHYSを生成してヒステリシス特性を付与するようにしたスイッチング・レギュレータに第2発明を適用したものである。具体的には、基準電圧源VREF1の基準電圧Vref1を抵抗R6、R7、R8で分圧してコンバレータCMPに印加される2段階の参照電圧VHYSを生成する抵抗分割回路121の抵抗R8と並列にMOSFET
30TR1を設け、該MOSFET TR1のオン抵抗をPLL(フェーズ・ロックド・ループ)と類似の構成を有する回路で変化させることで、抵抗分割回路121で生成される参照電圧VHYSを補正するようにしたものである。

【0109】

図16や図19の回路においては、前述の式(b)より、入力電圧Vinや出力電圧Voutが変化するとスイッチング周波数fswが変化することが分かる。そして、通信機能やオーディオ再生機能を有する電子機器ではレギュレータのスイッチング周波数fswが変化して通信周波数に一致したりすると、電磁干渉によって可聴帯域にビートノイズを発生させるおそれがある。そこで、この実施例においては、入力電圧Vinや出力電圧Voutの変化にかかわらずレギュレータのスイッチング周波数fswを常にシステムの基準クロックfcの周波数frefと一致させるように参照電圧VHYSを補正することによって、ノイズの発生を抑制するようにしたものである。

【0110】

具体的には、レギュレータのスイッチング周波数fswと同じ周期で変化するスイッチSW1とSW2の接続ノードn1の電位Vn1(スイッチSW1の制御信号でも

可)の周波数とシステムの基準クロック ϕ_c の周波数との差を検出して周波数差に応じた信号UP, DNを出力する周波数比較器101と、該周波数比較器101の出力信号UP, DNによって動作するチャージポンプ回路102と、該チャージポンプ回路102により充放電される容量を含み制御電圧Vcを生成するループフィルタ103とを備え、該ループフィルタ103の電圧Vcが上記MOSFET TR1のゲート端子に印加されるよう構成されている。また、ループフィルタ103とチャージポンプ回路102との間にスイッチSW11, SW12が設けられている。なお、PLL回路では一般に位相比較器が使用されるが、周波数の引込みを早くするために位相比較器と周波数比較器とが設けられることがあり、本実施例ではそのうち周波数比較器のみ用いるような回路構成とができる。

【0111】

この実施例の回路は、ノードn1の電位Vn1すなわちレギュレータのスイッチング周波数が相対的に高くなると、ループフィルタ103の電圧Vcが高くなつてMOSFET TR1のオン抵抗が小さくされ、これによって抵抗R8との合成抵抗が小さくなつて参照電圧VHYSが下がる。また、ノードn1の電位Vn1の変化周波数が相対的に低くなると、ループフィルタ103の電圧Vcが低くなつてMOSFET TR1のオン抵抗が大きされ、これによって、抵抗R8との合成抵抗が大きくなつて参照電圧VHYSが高くなるように動作される。

【0112】

図29には、本実施例におけるレギュレータのスイッチング周波数fswとループフィルタ103の電圧Vcおよび参照電圧VHYSとの関係が示されている。図29のように、スイッチング周波数fswに比例して増加する電圧Vcに反比例するように参照電圧VHYSを補正することにより、レギュレータのスイッチング周波数fswが常にシステムの基準クロック ϕ_c の周波数frerfと一致もしくは近い値になるように制御が行なわれる。その結果、レギュレータで発生したスイッチングノイズによって可聴帯域にビートノイズが発生するのが防止される。

【0113】

ところで、常に上記PLL回路を動作させてMOSFET TR1のオン抵抗を制御して参照電圧VHYSを変化させると、図18のタイミングチャートで説明した出力電流Ioutに変化が生じた際(過渡期間T2, T4)に行なわれるスイッチSW1, SW2のオン・オフ時間の制御によってノードn1の電位Vn1の変化周期が延長もしくは短縮されるため、周波数比較器101の出力が一時的に支障をきたすことになる。そこで、本実施例においては、スイッチSW1とSW2の接続ノードn1の電位Vn1(スイッチSW1の制御信号でも可)を監視する監視回路104を設け、スイッチSW1のオ

ン時間が所定時間以上継続した時は速やかにスイッチSW11, SW12をオフして周波数比較器101の出力がチャージポンプ102に供給されないような制御が行なわれるようになっている。

【0114】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例においては、主スイッチSW1と直列に接続されてSW1がオフの時にコイルへ流す電流を減らすように作用する同期スイッチSW2を設けているが、この同期スイッチSW2の代わりにダイオードを用いることも可能である。また、図28の実施例においては、監視回路104がノードn1の電位Vn1を監視して出力電流の変化期間中参照電圧VHYSの補正を中止するようしているが、ノードn2など他の部位の電位を監視して参照電圧VHYSの補正動作を中止するように構成することも可能である。

【0115】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電子機器の電源装置として使用する独立したスイッチング・レギュレータについて説明したが、半導体集積回路内部におけるスイッチング・レギュレータやDC-DCコンバータなどにも広く利用することができる。

【0116】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、出力電流の変化に対する応答特性に優れるとともに電力損失の少ないヒステリシス・カレントモード制御方式のスイッチング電源装置を得ることができ、これによって、電池で駆動される電源装置では電池消耗を減らし、1つの電池あるいは1回の充電により長時間駆動可能な携帯用電子機器を実現することができるようになる。

【0117】

また、本発明に従うと、スイッチング周波数がコイルのインダクタンスやコイルに流れる電流の大きさに依存しない、高精度の電圧を発生可能なヒステリシス・カレントモード制御方式のスイッチング電源装置を実現することができる。さらに、スイッチング周波数が変動しないためシステムに悪影響を及ぼすおそれのあるノイズの発生を抑えることができるスイッチング電源装置を実現できる。

【図面の簡単な説明】

【図1】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの一実

施例を示す回路構成図である。

【図 2】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第2の実施例を示す回路構成図である。

【図 3】実施例 2 のスイッチング・レギュレータにおけるコイル電流および出力電流の変化と、主スイッチおよび同期スイッチのオン、オフ・タイミングを示すタイミングチャートである。

【図 4 a】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第3の実施例を示す回路構成図である。

【図 4 b】第3実施例のスイッチング・レギュレータにおけるコンバレータに入力される電圧の変化を示すタイミングチャートである。

【図 4 c】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第4の実施例を示す回路構成図である。

【図 5 A】本発明を適用した C R フィードバック・ヒステリシス制御回路を示すある一つの実施例の回路構成図である。

【図 5 B】本発明を適用した図 5 A の C R フィードバック・ヒステリシス制御回路を改良した回路を示すある一つの実施例の回路構成図である。

【図 5 C】同じ平滑コンデンサで D r o o p 制御を行った場合と行わない場合の出力電流変動時の出力電圧波形を示す波形図である。

【図 5 D】本発明を適用した本発明を非絶縁昇圧型スイッチング・レギュレータへ応用した実施例を示す回路構成図である。

【図 5 E】本発明を適用した本発明を非絶縁昇降圧型スイッチング・レギュレータへ応用した実施例を示す回路構成図である。

【図 5 F】本発明を適用した本発明を絶縁昇降圧型スイッチング・レギュレータへ応用した実施例を示す回路構成図である。

【図 5 G】本発明を適用した C R フィードバック・ヒステリシス制御検出部を用いた電流検出回路の基本構成を示すような実施例の回路図である。

【図 5 I】容量 C F 2 を挿入しない場合における出力電流 I o u t と出力電圧 V o u t の関係を示す波形図である。

【図 5 J】容量 C F 2 を挿入した場合における出力電流 I o u t と出力電圧 V o u t の関係を示す波形図である。

【図 6】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第6の実施例を示す回路構成図である。

【図 7】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第7の実施例を示す回路構成図である。

【図 8】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第8の実施例を示す回路構成図である。

【図 9】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの第9の実施例を示す回路構成図である。

【図 10】本発明を適用したヒステリシス・カレントモード制御方式の昇圧型スイッチング・レギュレータの実施例を示す回路構成図である。

10 【図 11】本発明を適用したヒステリシス・カレントモード制御方式の昇降圧型スイッチング・レギュレータの実施例を示す回路構成図である。

【図 12】本発明を適用した負電圧を発生するヒステリシス・カレントモード制御方式のスイッチング・レギュレータの実施例を示す回路構成図である。

20 【図 13】本出願の第2の発明であるスイッチング・レギュレータのヒステリシス特性を有する参照電圧を生成する回路の実施例を示す回路構成図である。

【図 14】本出願の第2の発明のスイッチング・レギュレータにおけるスイッチング周波数 f s w とコンバレータに印加される参照電圧 V H Y S との関係を示すグラフである。

【図 15】(a) はディレイ回路の入出力タイミングを示す波形図、(b) はディレイ回路の具体例を示す回路図である。

20 【図 16】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの一実施例を示す回路構成図である。

【図 17】図 16 のスイッチング・レギュレータの一変形例を示す回路構成図である。

30 【図 18】実施例のスイッチング・レギュレータにおけるコイル電流および出力電流の変化と、主スイッチおよび同期スイッチのオン、オフ・タイミングを示すタイミングチャートである。

【図 19】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの他の実施例を示す回路構成図である。

【図 20】図 19 の実施例のスイッチング・レギュレータにおけるコンバレータに入力される電圧の変化を示すタイミングチャートである。

40 【図 21】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの他の実施例を示す回路構成図である。

【図 22】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの他の実施例を示す回路構成図である。

【図 23】本発明を適用したヒステリシス・カレントモード制御方式の降圧型スイッチング・レギュレータの他の実施例を示す回路構成図である。

50 【図 24】本発明を適用したヒステリシス・カレントモ

ード制御方式の降圧型スイッチング・レギュレータの第6の実施例を示す回路構成図である。

【図25】本発明を適用したヒステリシス・カレントモード制御方式の昇圧型スイッチング・レギュレータの実施例を示す回路構成図である。

【図26】本発明を適用したヒステリシス・カレントモード制御方式の昇降圧型スイッチング・レギュレータの実施例を示す回路構成図である。

【図27】本発明を適用した負電圧を発生するヒステリシス・カレントモード制御方式のスイッチング・レギュレータの実施例を示す回路構成図である。

【図28】本出願の第2の発明であるスイッチング・レギュレータのヒステリシス特性を有する参照電圧を生成する回路の実施例を示す回路構成図である。

【図29】本出願の第2の発明のスイッチング・レギュ

レータにおけるスイッチング周波数 f_s とコンパレータに印加される参照電圧 V_{HYS} との関係を示すグラフである。

【符号の説明】

100 スイッチング制御回路

120 参照電圧生成回路

121 抵抗分割回路

IC 半導体チップ (半導体集積回路)

CMP コンパレータ

10 H-CMP ヒステリシス・コンパレータ

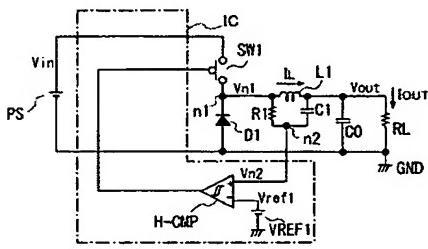
SW1, SW2 スイッチ素子

D1 ダイオード

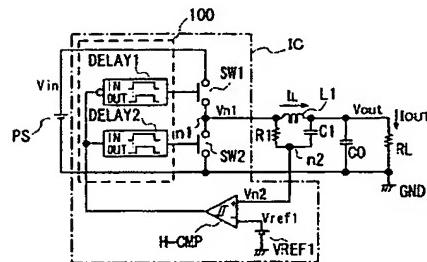
L1 インダクタ (コイル)

RL 抵抗性負荷

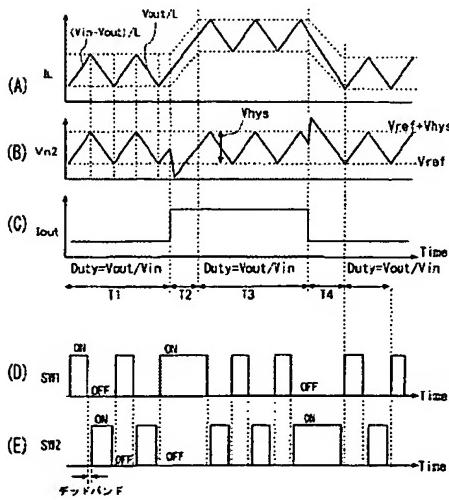
【図1】



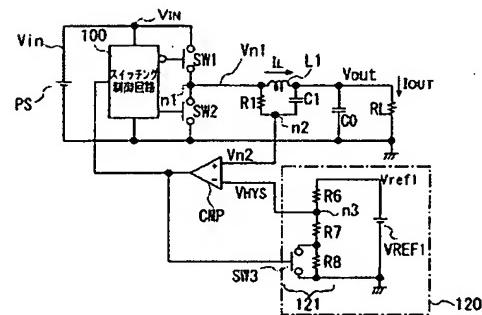
【図2】



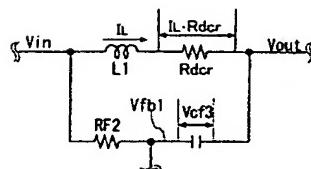
【図3】



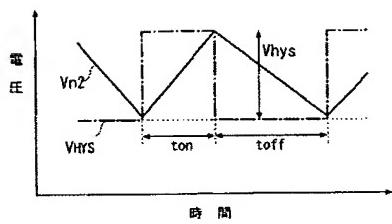
【図4 a】



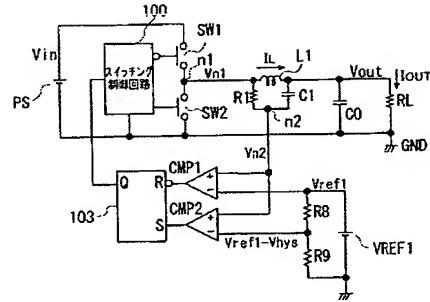
【図5 A】



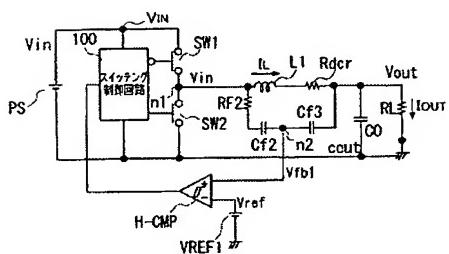
【図 4 b】



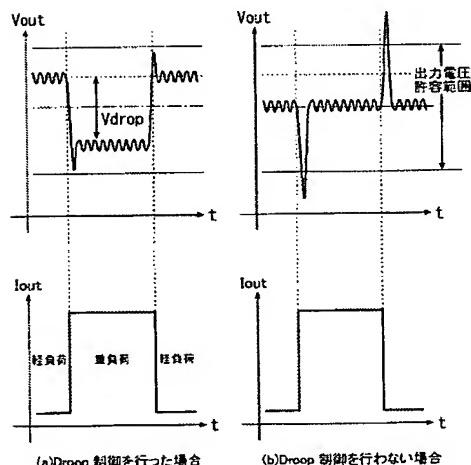
【図 4 c】



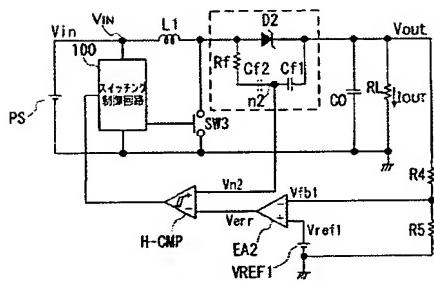
【図 5 B】



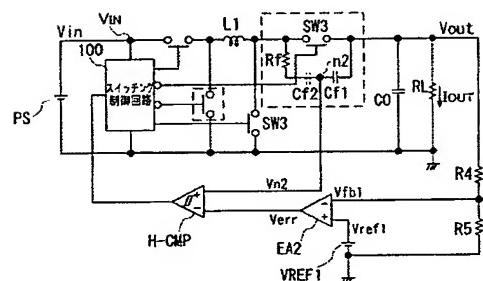
【図 5 C】



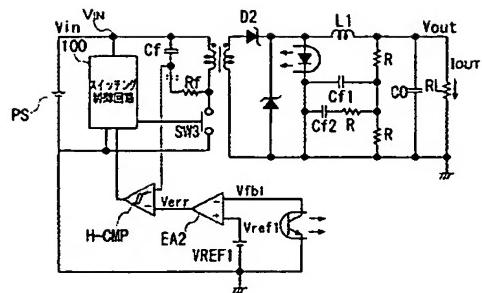
【図 5 D】



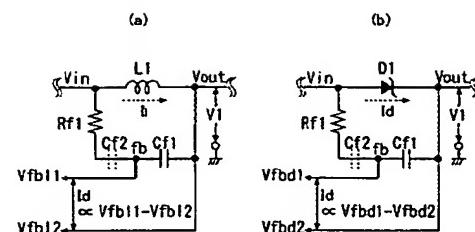
【図 5 E】



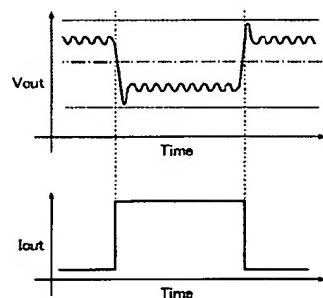
【図 5 F】



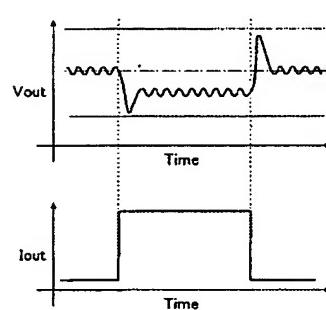
【図 5 G】



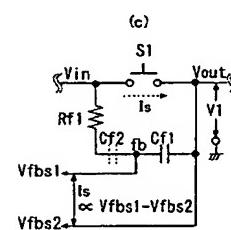
【図 5 I】



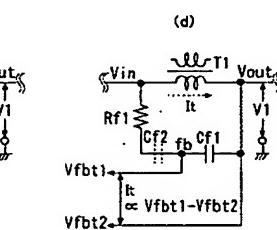
【図 5 J】



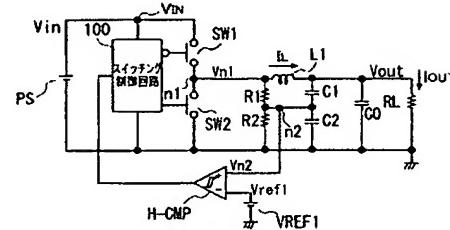
(c)



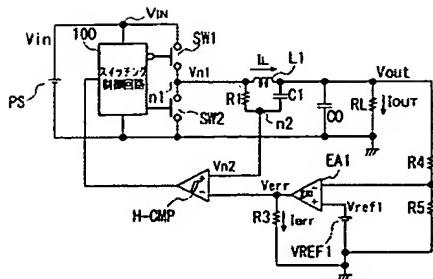
(d)



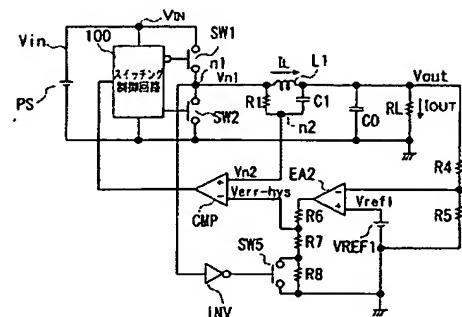
【図 6】



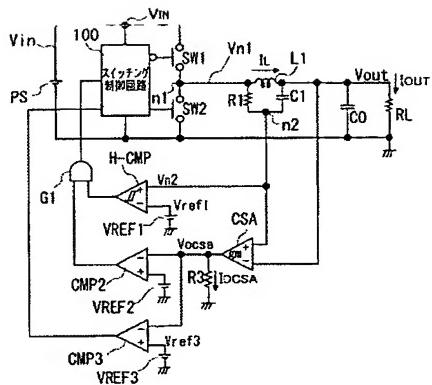
【図 7】



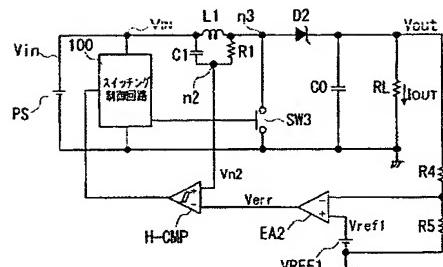
【図 8】



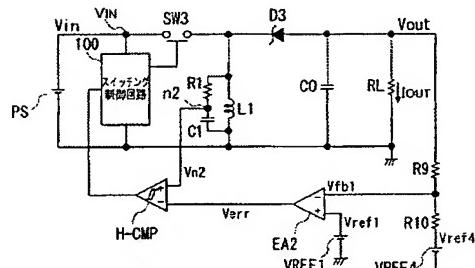
【図 9】



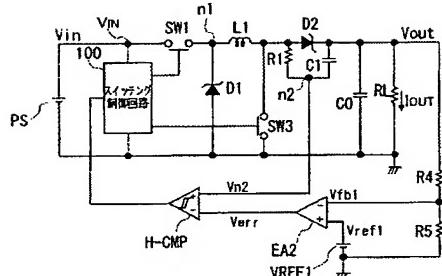
【図 10】



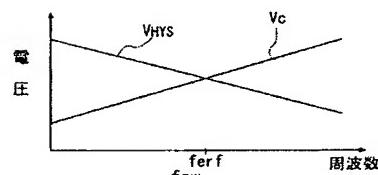
【図 12】



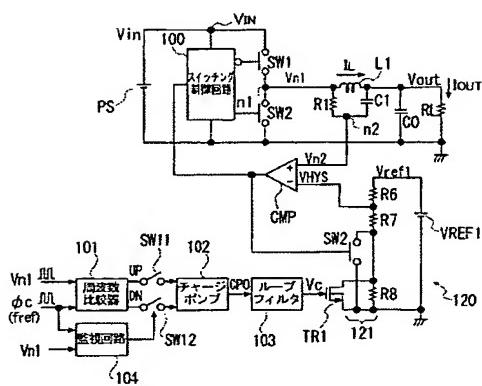
【図 11】



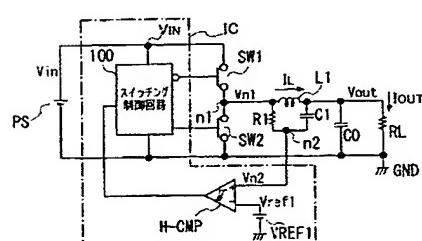
【図 14】



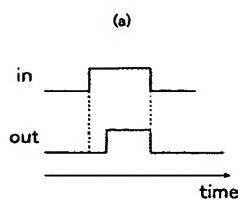
【図 13】



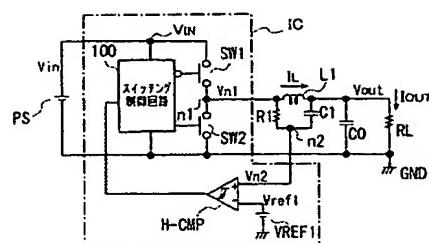
【図 16】



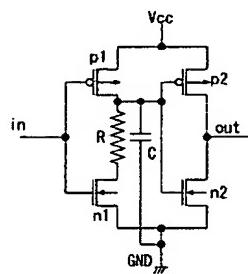
【図 15】



【図 17】

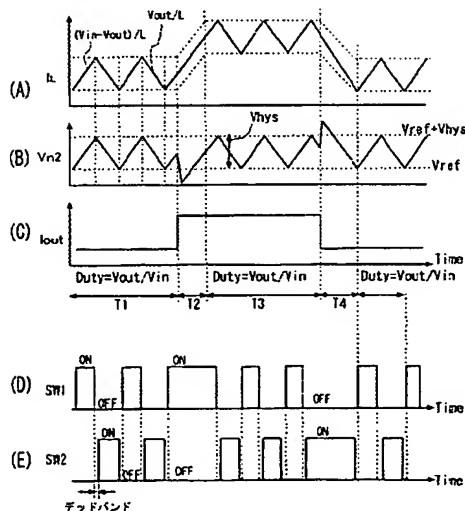
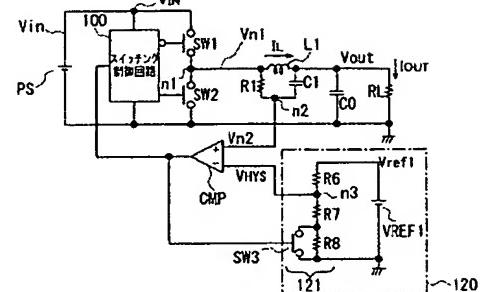


(b)

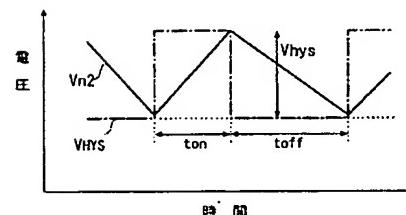


【図 18】

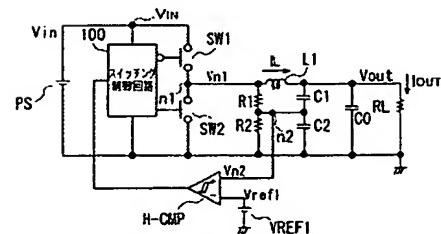
【図 19】



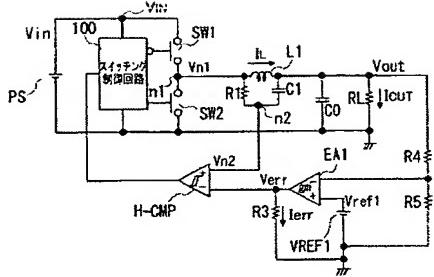
【図 20】



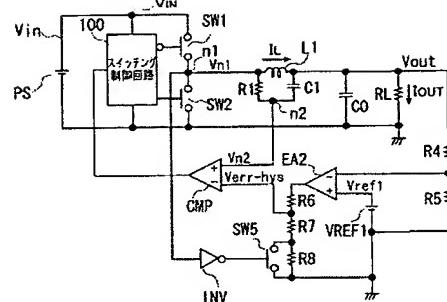
【図 21】



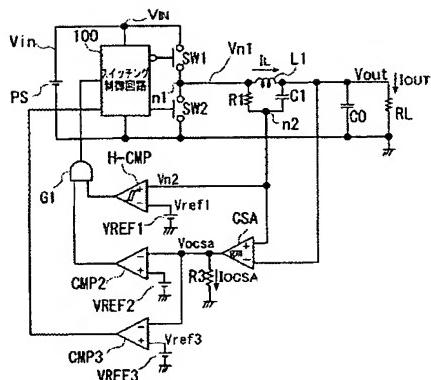
【図 2 2】



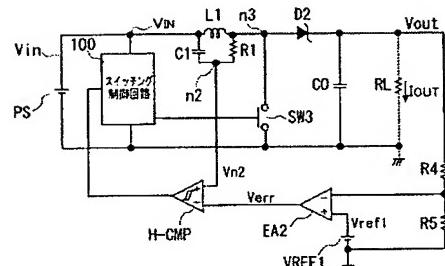
【図 2 3】



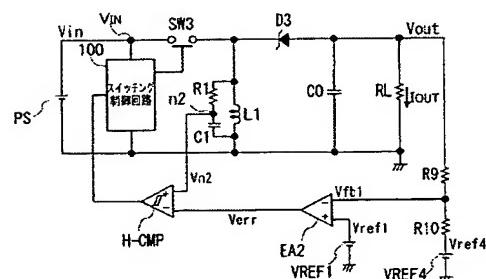
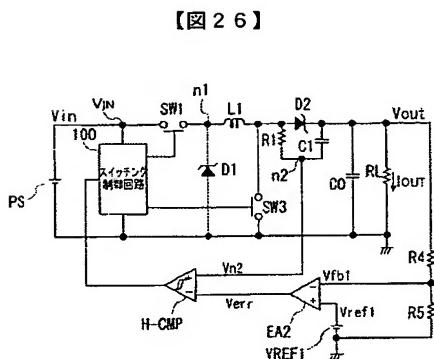
【図 2 4】



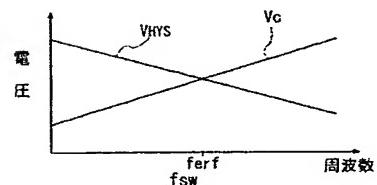
【図 2 5】



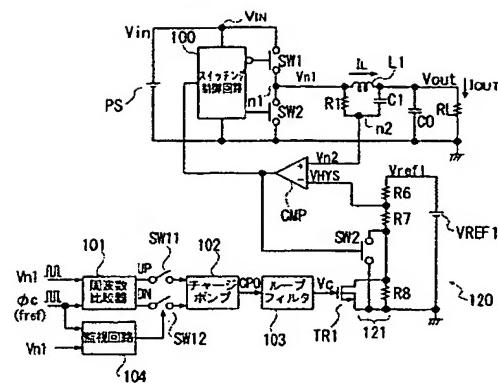
【図 2 7】



【図 2 9】



【図 28】



フロントページの続き

(72) 発明者 立野 孝治

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

F ターム (参考) 5H730 AA14 AA15 AS01 BB23 BB57 CC03 CC12 DD04 EE07 EE10
EE23 EE24 EE25 FD01 FD02 FD07 FD08 FD09 FD24 FD30
FF05 FC05

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)